

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09101501 A**(43) Date of publication of application: **15.04.97**

(51) Int. Cl.

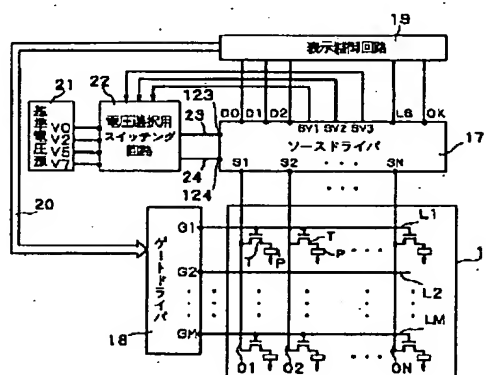
G02F 1/133**G02F 1/133****G09G 3/36**(21) Application number: **07259091**(22) Date of filing: **05.10.95**(30) Priority: **02.08.95 JP 07197727**(71) Applicant: **SHARP CORP**(72) Inventor: **OGAWA YOSHINORI
TAMAI SHIGEKI**(54) **DRIVING DEVICE FOR DISPLAY DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the number of analog switches by reducing the number of input terminals of the source driver of an active matrix type liquid crystal display panel.

SOLUTION: Three combinations (V0 and V2), (V2 and V5), and (V5 and V7) of four reference voltages V0, V2, V5 and V7 in total are outputted to two reference voltage lines 23 and 24 in periods W1a, W1b, and W1c respectively, and analog switches ASW0 and ASW2 for voltage generation are inserted to each reference voltage line, and these analog switches are controlled to be turned on/off in times W2 and W3 shorter than one of periods W1a, W1b, and W1c in this period W1a, W1b, or W1c based on 3-bit display data D0, D2, and D3 of 8 gradations, and an oscillation voltage is given to the source line, and the low pass filter function due to the capacity and the resistance of this source line is positively utilized for averaging.

COPYRIGHT: (C)1997,JPO



C 00-00515:参考)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9-101501

(43) 公開日 平成9年(1997)4月15日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133 5 5 0	N1
	5 2 0			C1
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数 10

OL

(全 26 頁)

(21) 出願番号 特願平7-259091

(22) 出願日 平成7年(1995)10月5日

(31) 優先権主張番号 特願平7-197727

(32) 優先日 平7(1995)8月2日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 玉井 滋樹

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

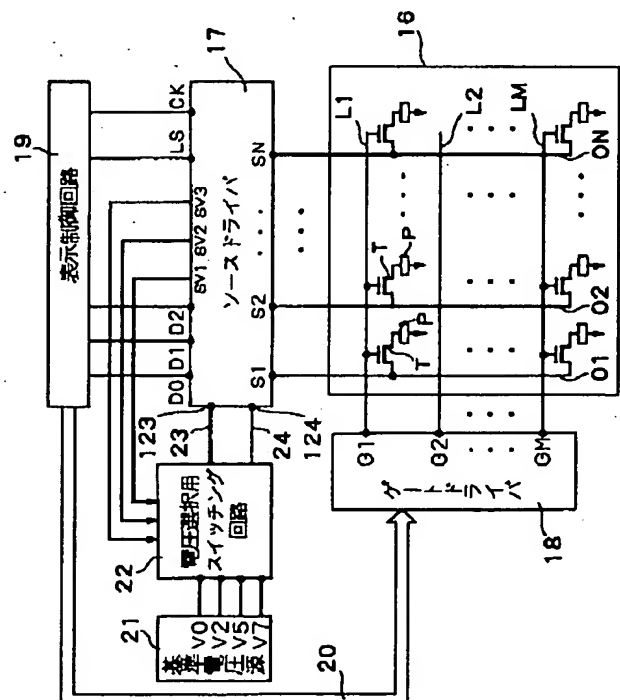
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 表示装置の駆動装置

(57) 【要約】

【課題】 アクティブマトリクス形液晶表示パネルのソースドライバの入力端子数を低減し、アナログスイッチの数を低減する。

【解決手段】 合計4つの基準電圧V0、V2、V5、V7を2つずつ組合せて合計3つの組合せ(V0、V2)、(V2、V5)、(V5、V7)を、3つの各時間W1a、W1b、W1c毎に、2つの基準電圧ライン23、24に出力し、各基準電圧ラインには電圧作成用アナログスイッチASW0、ASW2を介在し、これらのアナログスイッチを、8階調の3ビット表示データD0、D2、D3に基づいて時間W1a、W1b、W1cのいずれか1つにおいて、その時間W1a、W1b、W1c未満の時間W2、W3でオン/オフ制御し、ソースラインに振動電圧を与えて、このソースラインの容量および抵抗に起因したローパスフィルタ機能を積極的に利用して平均化する。



【特許請求の範囲】

【請求項 1】 表示データに応じて、複数の直流基準電圧を発生する基準電圧源から選択された 1 つの基準電圧を連続的に、または、前記複数の基準電圧から選択された少なくとも 2 つの基準電圧を時分割的に、表示装置に出力する表示装置の駆動装置であって、前記複数の基準電圧がそれぞれ印加される複数の入力端子と、前記表示装置に接続される出力端子と、前記各入力端子と前記出力端子間に介挿され、制御信号にตอบสนองしてオン／オフ動作するスイッチング素子と、前記表示データに基づいて、スイッチング素子のオン／オフを制御する制御信号を出力する制御手段とを有するものにおいて、前記入力端子に基準電圧源からの異なる電圧を時分割的に供給する多値電圧発生手段を含み、前記制御手段は、表示データに応じた所定のタイミングにおいてスイッチング素子のオン／オフを制御する前記制御信号を出力することを特徴とする表示装置の駆動装置。

【請求項 2】 表示データに応じて、複数の直流基準電圧を発生する基準電圧源から選択された 1 つの基準電圧を連続的に、または、前記複数の基準電圧から選択された少なくとも 2 つの基準電圧を時分割的に、表示装置に出力する表示装置の駆動装置であって、前記複数の基準電圧がそれぞれ印加される複数の入力端子と、前記表示装置に接続される出力端子と、前記各入力端子と前記出力端子間に介挿され、制御信号にตอบสนองしてオン／オフ動作するスイッチング素子と、前記表示データに基づいて、スイッチング素子のオン／オフを制御する制御信号を出力する制御手段とを有するものにおいて、前記入力端子に基準電圧源から与えられるそれぞれ異なる基準電圧を時分割的に供給し、かつ基準電圧が切替わる際に、各基準電圧の出力される期間が終了してから引続く基準電圧の出力が開始されるまでの間にいずれの基準電圧も出力されないスリット期間を挿入する多値電圧発生手段を含み、前記制御手段は、表示データに応じた所定のタイミングにおいてスイッチング素子のオン／オフを制御する前記制御信号を出力することを特徴とする表示装置の駆動装置。

【請求項 3】 各出力端子に対応して一対の入力端子がそれぞれ設けられ、各出力端子とその出力端子に対応する一対の各入力端子との間に、前記スイッチング素子がそれぞれ介在され、多値電圧発生手段は、各出力端子に対応する入力端子に与える基準電圧を、時間経過に伴って前記複数の基準電圧の高くなる順に、または低くなる順に時分割的に、か

つ繰返される各サイクル中に複数回にわたって与え、かつ一対の各入力端子に各回に同時に与えられる基準電圧は、前記順に 1 つだけずれていることを特徴とする請求項 1 または 2 記載の表示装置の駆動装置。

【請求項 4】 各出力端子に対応して少なくとも 2 組の対を成す入力端子がそれぞれ設けられ、各出力端子とその出力端子に対応する一対の各入力端子との間に前記スイッチング素子がそれぞれ介在され、多値電圧発生手段によって発生される複数の基準電圧は、各組毎に複数のグループにグループ化され、多値電圧発生手段は、各組の入力端子に与える基準電圧を、時間経過に伴って各組に対応するグループ中の複数の基準電圧の高くなる順に、または低くなる順に時分割的に、かつ繰返される各サイクル中に複数回にわたって与え、かつ各組の入力端子に各回に同時に与えられる基準電圧は、各グループ内で前記順に 1 つだけずれていることを特徴とする請求項 1 または 2 記載の表示装置の駆動装置。

【請求項 5】 各出力端子に対応して第 1 複数の入力端子がそれぞれ設けられ、各出力端子とその出力端子に対応する各入力端子との間に前記スイッチング素子がそれぞれ介在され、多値電圧発生手段は、各出力端子に対応する入力端子に、その第 1 複数のを超える第 2 の複数の基準電圧を、その基準電圧の高くなる順に、または低くなる順に時分割的に、かつ繰返される各サイクル中に複数回にわたって与え、各サイクル中の最初の回以外の各回で、入力端子に同時に与えられる基準電圧は、前回に与えられた基準電圧のうちの前記順に 1 つだけ同一の基準電圧を含むことを特徴とする請求項 1 または 2 記載の表示装置の駆動装置。

【請求項 6】 スwitching素子と制御手段とを第 1 の集積回路によって実現し、多値電圧発生手段を、第 2 の集積回路によって実現することを特徴とする請求項 1 ～ 5 のうちの 1 つに記載の表示装置の駆動装置。

【請求項 7】 スwitching素子と制御手段と多値電圧発生手段とを 1 つの集積回路によって実現することを特徴とする請求項 1 ～ 5 のうちの 1 つに記載の表示装置の駆動装置。

【請求項 8】 第 1 の集積回路が複数個設けられ、これらの複数の第 1 集積回路に共通に第 2 集積回路が設けられることを特徴とする請求項 6 記載の表示装置の駆動装置。

【請求項 9】 多値電圧発生手段は、基準電圧源からの複数の各基準電圧が導出されるラインと、前記各入力端子との間に介在されかつ基準電圧制御信号によってオン／オフされるアナログスイッチとを含み、基準電圧制御信号が周期的に発生されてアナログスイッチに与えられることを特徴とする請求項 1 ～ 8 のうちの

1つに記載の表示装置の駆動装置。

【請求項10】 多値電圧発生手段は、基準電圧を出力する予め定める周期に同期させてスリット期間を設けることを特徴とする請求項2記載の表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、たとえばアクティブマトリクス形液晶表示装置などの表示装置を駆動するための装置に関する。

【0002】

【従来の技術】典型的な先行技術は、図29に示されている。アクティブマトリクス形液晶表示装置を構成する表示パネル11には、行列状にソースラインO1～ONとゲートラインL1～LMとが形成され、その交差位置に薄膜トランジスタTがそれぞれ配置され、絵素電極PにソースラインO1～ONの電圧がトランジスタTを介して選択的に与えられる。ソースラインO1～ONは、半導体集積回路によって構成されるソースドライバ12に接続される。ソースドライバ12は、各ソースラインOk (k=1～N)に個別的に対応する3ビットから成る表示データD0～D2に応じて、合計8種類の電圧V0～V7を、基準電圧源13から選択して、ソースラインO1～ONに与える。半導体集積回路から成るゲートドライバ14は、ゲートラインL1～LMに、ゲート信号G1～GMを出力する。ソースドライバ12は、各ゲート信号Gj (j=1～M)に与えられている1水平走査期間中において、各絵素電極Pの階調に対応した電圧をソースラインOkにそれぞれ与える。

【0003】図30は、図29に示される先行技術のソースドライバ12の一部の構成を具体的に示すブロック図である。ソースドライバ12は各ソースラインO1～ON毎に個別的に対応したデコーダ回路FRk (k=1～N)を備えており、表示データD0～D2にそれぞれ対応するデータd0～d2に应答し、基準電圧源13からの8種類の電圧V0～V7を、信号S0～S7がそれぞれ与えられるアナログスイッチASW0～ASW7を介して、択一的にソースラインOkに与え、8階調の表示を行う。

【0004】このような図29および図30に示される先行技術では、ソースドライバ12において基準電圧源13から各階調に対応した個別的な電圧V0～V7が与えられる。したがって、その各基準電圧V0～V7が与えられるための入力用接続端子数を必要とし、さらに各階調に個別的に対応するアナログスイッチASW0～ASW7を必要とする。したがって、入力用接続端子数を減少することが望まれる。さらに、アナログスイッチASW0～ASW7の数を減少して、半導体集積回路から成るソースドライバ12のチップサイズを小形化してコスト低減を図ることが望まれている。

【0005】ソースドライバ12におけるアナログスイ

ッチASW0～ASW7は、そのソースドライバ12の外部に接続される表示パネル11のソースラインO1～ONに、選択された基準電圧V0～V7のレベルを正確に書込むために、そのオン抵抗を十分に低くする必要がある。したがって、アナログスイッチASW0～ASW7の半導体チップ内で占める面積は、そのソースドライバ12内の論理演算のためにオン/オフ制御される論理回路素子に比べて、一般に、数十倍～数十倍程度必要である。したがって、このようなアナログスイッチASW0～ASW7がソースドライバ12の半導体チップの面積全体に対して占める割合は大きい。したがって、多階調化によるアナログスイッチASW0～ASW7の数の増加は、そのまま半導体チップサイズの増大につながる結果になる。

【0006】図29および図30に示される先行技術では、たとえば4ビットの表示データを用いて16階調表示を行う場合には、16種類の基準電圧のための入力用接続端子を必要とし、さらにその各基準電圧に対応した合計16個のアナログスイッチを必要とする。

【0007】基準電圧の接続端子数を減少し、またアナログスイッチ数を減少して半導体チップを小形化することを可能にする他の先行技術は、本件出願人によって特開平6-27900として提案されている。この新たな先行技術の基本的な構成は図29に類似し、そのソースドライバ12の一部の構成は図31に示されている。この先行技術では、基準電圧源13において合計4種類の基準電圧V0、V2、V5、V7が発生されてソースドライバ12aに与えられる。ソースドライバ12aでは、基準電圧V0、V2、V5、V7に個別的に対応する合計4つのアナログスイッチASW0、ASW2、ASW5、ASW7からソースラインOh (h=1～N)に、基準電圧V0、V2、V5、V7をそのまま導出するほかに、それらの間の基準電圧間のいわば振動によって電圧V1、V3、V4、V6を作成することによって、8階調の各階調に対応する合計8種類の電圧V0、V1、V2、V3、V4、V5、V6、V7を出力する。このために、デコーダ回路GRhは、8階調表示のデータD0～D2に対応するデータd0～d2に应答し、基準電圧V0、V2、V5、V7のうちの選択された1つの電圧をソースラインOhに出力し、またそれらの中間の電圧V1、V3、V4、V6を、基準電圧V0、V2、V5、V7の選択された2つの電圧を用いて時分割して交互にソースラインOhに出力する。ここで、たとえば基準電圧V0よりも基準電圧V7が高い電圧となるように設定されていると、 $V0 < V1 < V2 < V3 < V4 < V5 < V6 < V7$ である。アナログスイッチASW0、ASW2、ASW5、ASW7は、それぞれ信号AS0、AS2、AS5、AS7によってオン/オフが制御される。

【0008】たとえば基準電圧V2、V5の間の電圧V

3を作成してソースラインOhに印加するために、予め定める1出力期間中においてデコード回路GRhは、アナログスイッチASW2、ASW5を図32(1)に示されるように間欠的に交互にオン/オフ制御してソースラインOhに図32(1)に示される振動電圧を発生する。これによってソースラインOhの抵抗および容量に起因して、そのソースラインOhの電圧は、図32

(2)に示されるようにローパスフィルタを経た電圧波形に近づき、図32(3)に示される平均化された電圧V3を有する電圧となり、トランジスタTを経て絵素電極Pに印加されることになる。

【0009】一旦、絵素電極Pに印加された電圧は、その絵素電極Pとこれらの絵素電極Pに共通に液晶を介して対向して配置された共通電極との間の容量によって保持される。このような動作がゲートラインL1~LM毎に、各ソースラインO1~ONに関して行われて繰返され、この電圧V0~V7の保持は、たとえば1垂直期間にわたって行われる。

【0010】このような図31および図32に示される先行技術では、3ビットから成る8階調表示データD0~D2の階調表示のために、合計4種類の基準電圧V0、V2、V5、V7を用いるだけでよい。したがって、合計4個のアナログスイッチASW0、ASW2、ASW5、ASW7を用いればよい。こうして、階調数未満で、それぞれ等しい数の基準電圧とアナログスイッチとによって、各階調に対応した8種類の電圧V0~V7を用いることができる。したがって、図29および図30に示される先行技術に比べて基準電圧源13によって発生される基準電圧の数が低減され、またこれに応じてアナログスイッチ数を低減することができるので、ソースドライバ12の半導体チップ面積の小形化を図ることができ、さらに消費電流を低く抑えることができるようになり、これに応じて低コスト化および高密度実装化が可能となる。

【0011】しかしながら現実には、特にオフィスオートメーション用液晶表示装置などにおいては、もっと多階調化を図り、しかも接続端子数を低減し、半導体チップの小形化を図ることが要求されてきている。

【0012】

【発明が解決しようとする課題】本発明の目的は、多階調化を図りながら接続端子数およびアナログスイッチ数を低減し、これによってソースドライバなどの半導体チップの小形化、低消費電力化、低コスト化、高密度実装化などを可能にすることができるようにした表示装置の駆動装置を提供することである。

【0013】

【課題を解決するための手段】本発明は、表示データに応じて、複数の直流基準電圧を発生する基準電圧源から選択された1つの基準電圧を連続的に、または、前記複数の基準電圧から選択された少なくとも2つの基準電圧

を時分割的に、表示装置に出力する表示装置の駆動装置であって、前記複数の基準電圧がそれぞれ印加される複数の入力端子と、前記表示装置に接続される出力端子と、前記各入力端子と前記出力端子間に介挿され、制御信号に応答してオン/オフ動作するスイッチング素子と、前記表示データに基づいて、スイッチング素子のオン/オフを制御する制御信号を出力する制御手段とを有するものにおいて、前記入力端子に基準電圧源からの異なる電圧を時分割的に供給する多値電圧発生手段を含み、前記制御手段は、表示データに応じた所定のタイミングにおいてスイッチング素子のオン/オフを制御する前記制御信号を出力することを特徴とする表示装置の駆動装置である。

本発明に従えば、基準電圧源からの複数の基準電圧が複数の入力端子にそれぞれ与えられてアナログスイッチなどのスイッチング素子を介して出力端子に与えられ、この出力端子から表示装置に駆動電圧が与えられ、前記入力端子には、基準電圧源と入力端子との間に介在されている多値電圧発生手段によって、その基準電圧源からの異なる基準電圧が時分割的に供給され、制御手段は表示データに応じた所定のタイミングでスイッチング素子のオン/オフを制御する制御信号を出力する。こうしてスイッチング素子のオン/オフ動作によって、同時に与えられる基準電圧間のいわば振動電圧を得ることができる。これによって基準電圧およびそれらの基準電圧間の電圧を得ることができ、こうして多階調のための駆動電圧を得ることができる。

【0014】また本発明は、表示データに応じて、複数の直流基準電圧を発生する基準電圧源から選択された1つの基準電圧を連続的に、または、前記複数の基準電圧から選択された少なくとも2つの基準電圧を時分割的に、表示装置に出力する表示装置の駆動装置であって、前記複数の基準電圧がそれぞれ印加される複数の入力端子と、前記表示装置に接続される出力端子と、前記各入力端子と前記出力端子間に介挿され、制御信号に応答してオン/オフ動作するスイッチング素子と、前記表示データに基づいて、スイッチング素子のオン/オフを制御する制御信号を出力する制御手段とを有するものにおいて、前記入力端子に基準電圧源から与えられるそれぞれ異なる基準となる電圧を時分割的に供給し、かつ基準電圧が切替わる際に、各基準電圧の出力される期間が終了してから引続く基準電圧の出力が開始されるまでの間にいずれの基準電圧も出力されないスリット期間が挿入される多値電圧発生手段を含み、前記制御手段は、表示データに応じた所定のタイミングにおいてスイッチング素子のオン/オフを制御する前記制御信号を出力すること

を特徴とする表示装置の駆動装置である。
本発明に従えば、基準電圧源から与えられるそれぞれ異なる基準となる電圧は多値電圧発生手段によって時分割的に入力端子に供給される。入力端子に与える基準電圧

が切替わる際には、いずれの基準電圧も選択されないスリット期間が挿入される。基準電圧が選択されている期間における、表示データに基づく所定のタイミングにおいて、制御手段から出力される制御信号によってスイッチング素子のオン／オフが制御され、表示データに応じた基準電圧をもとに作成される電圧が出力端子から表示装置へと与えられる。したがって、表示装置の駆動装置からは、基準電圧および同時に入力される基準電圧間の電圧を出力することができ、当該駆動装置に入力される基準電圧の数以上の電圧を表示装置へと出力することができる。また、基準電圧が切替わる際に、いずれの基準電圧も出力されないスリット期間が設けられるので、2つの基準電圧が同時に選択されることによって2つの基準電圧間に貫通電流が流れることを防止することができる。

【0015】また本発明は、各出力端子に対応して一對の入力端子がそれぞれ設けられ、各出力端子とその出力端子に対応する一對の各入力端子との間に、前記スイッチング素子がそれぞれ介在され、多値電圧発生手段は、各出力端子に対応する入力端子に与える基準電圧を、時間経過に伴って前記複数の基準電圧の高くなる順に、または低くなる順に時分割的に、かつ繰返される各サイクル中に複数回にわたって与え、かつ一對の各入力端子に各回に同時に与えられる基準電圧は、前記順に1つだけずれていることを特徴とする。

本発明に従えば、後述の図1～図14に示される本発明の実施の一態様、特に図12および図13から明らかなように、繰返される1周期W0であるサイクル中に、時間W1a、W1b、W1cの各回にわたって基準電圧V0、V2、V5、V7が、高くなる順に、または低くなる順に時分割的に与えられ、さらに、各時間W1a、W1b、W1cの各回に同時に与えられる基準電圧(V0、V2)、(V2、V5)、(V5、V7)は、基準電圧の高くなる順に、または低くなる順に1つだけずれており、たとえば図12では一方の入力端子に与えられる電圧AVが基準電圧V0、V2、V5の順に与えられるのに対して、もう1つの入力端子の電圧BVは、基準電圧V2、V5、V7の順に与えられている。このような構成によれば、全ての基準電圧V0、V2、V5、V7とそれらの間の振動電圧を、多段階の駆動電圧として用いることができる。

【0016】また本発明は、各出力端子に対応して少なくとも2組の対を成す入力端子がそれぞれ設けられ、各出力端子とその出力端子に対応する一對の各入力端子との間に前記スイッチング素子がそれぞれ介在され、多値電圧発生手段によって発生される複数の基準電圧は、各組毎に複数のグループにグループ化され、多値電圧発生手段は、各組の入力端子に与える基準電圧を、時間経過に伴って各組に対応するグループ中の複数の基準電圧の高くなる順に、または低くなる順に時分割的に、かつ繰

返される各サイクル中に複数回にわたって与え、かつ各組の入力端子に各回に同時に与えられる基準電圧は、各グループ内で前記順に1つだけずれていることを特徴とする。

本発明に従えば、図16および図17に示される本発明の実施の一態様ならびに図18および図19に示される一態様に関連して示されるように、少なくとも2組の対を成す入力端子が各出力端子に対応して設けられ、各組毎に基準電圧が複数のグループにグループ化されており、たとえば表3に示されるように2つのグループに分けられ、各グループ内における基準電圧とそれらの間の電圧を、多段階のための駆動電圧として用いることができる。

【0017】また本発明は、各出力端子に対応して第1複数の入力端子がそれぞれ設けられ、各出力端子とその出力端子に対応する各入力端子との間に前記スイッチング素子がそれぞれ介在され、多値電圧発生手段は、各出力端子に対応する入力端子に、その第1複数のを超える第2の複数の基準電圧を、その基準電圧の高くなる順に、または低くなる順に時分割的に、かつ繰返される各サイクル中に複数回にわたって与え、各サイクル中の最初の回以外の各回で、入力端子に同時に与えられる基準電圧は、前回に与えられた基準電圧のうちの前記順に1つだけ同一の基準電圧を含むことを特徴とする。

本発明に従えば、図22および図23に示される本発明の実施の一態様ならびに図24に示される本発明の実施の他の態様のように、1つの出力端子に対応する第1複数の入力端子が設けられ、その第1複数のを超える第2の複数の基準電圧を繰返される1周期W0のサイクル中に、たとえば期間W1a、W1b、W1cの各回にわたって与え、各周期W0のサイクル中の時間W1aである最初の回以外の各回W1b、W1cでは、入力端子に同時に与えられる基準電圧は、前回W1a、W1bに与えられた基準電圧のうちの前記順に1つだけ同一の基準電圧V2、V4を含む。これによって第2の複数の基準電圧とそれらの間の電圧を、多段階の駆動電圧として用いることができるようになる。

【0018】また本発明は、スイッチング素子と制御手段とを第1の集積回路によって実現し、多値電圧発生手段を、第2の集積回路によって実現することを特徴とする。

本発明に従えば、第1の集積回路において第2の集積回路の多値電圧発生手段からの基準電圧が与えられる入力端子の数を低減することができ、第1集積回路の構成の簡略化を図ることができる。

【0019】また本発明は、スイッチング素子と制御手段と多値電圧発生手段とを1つの集積回路によって実現することを特徴とする。

本発明に従えば、多値電圧発生手段からの基準電圧を共通の集積回路内の基準電圧ライン23、24を経てスイ

ッチング素子に与えるようにしてその基準電圧ライン、したがって多値電圧発生手段からスイッチング素子に与えられる入力端子の数の低減を図ることができる。

【0020】また本発明は、第1の集積回路が複数個設けられ、これらの複数の第1集積回路に共通に第2集積回路が設けられることを特徴とする。

本発明に従えば、複数の第1の集積回路に共通に1つの第2集積回路を設けて構成の簡略化を図ることができる。

【0021】また本発明の多値電圧発生手段は、基準電圧源からの複数の各基準電圧が導出されるラインと、前記各入力端子との間に介在されかつ基準電圧制御信号によってオン/オフされるアナログスイッチとを含み、基準電圧制御信号が周期的に発生されてアナログスイッチに与えられることを特徴とする。

本発明に従えば、基準電圧を、アナログスイッチを基準電圧制御信号によってオン/オフ制御して、前記各入力端子に基準電圧を与えることができる。

【0022】また本発明は、多値電圧発生手段は、基準電圧を出力する予め定める周期に同期させてスリット期間を設けることを特徴とする。

本発明に従えば、スリット期間は予め定める基準電圧を選択する周期に同期させて設けられる。したがって、各基準電圧間に貫通電流が流れることを防止することができる。スリット期間が設けられることによって発生する可能性がある制御信号のオン/オフの制御のタイミングがずれるなどの表示装置に行う表示への影響を除去することができる。

【0023】また本発明は、液晶表示パネルであってもよいけれども、その他の誘電体層を用いる表示パネルなどであってもよく、たとえば液晶に代えて、エレクトロルミネッセンス（略称EL）材料およびその他の材料が用いられてもよい。

本発明に従えば、たとえばアクティブマトリクス液晶表示装置などのような薄膜スイッチング素子などの絵素スイッチング素子を備える構成において、本発明に関連して実施することによって、複数の各絵素電極と、それらの絵素電極に共通のたとえば単一の共通電極との間で基準電圧および基準電圧に基づいて、その基準電圧間のいわば振動によって作成された電圧を、たとえば1垂直走査期間にわたって保持させることができ、これによって、本発明はアクティブマトリクス表示装置に関連して好適に実施することができる。

【0024】

【発明の実施の形態】図1は本発明の実施の一形態の電気的構成を示すブロック図である。アクティブマトリクス形液晶表示パネル16は、M行N列に、第1ラインであるソースラインO1～ONと、第2ラインであるゲートラインL1～LMとが、一方の基板上に配列され、それらのラインO1～ON、L1～LMの交差位置に、絵

素スイッチング素子である薄膜トランジスタ（略称TFT）T(j, i) (j=1～M, i=1～N)が配置される。ゲートラインL1～LMにゲート信号G1～GMが順次的に与えられることによって、そのゲート信号Gjが与えられているゲートラインL1～LMにゲート電極が接続されている薄膜トランジスタTが導通する。これによってソースラインO1～ONからの階調表示駆動電圧は、導通している薄膜トランジスタTを介して絵素電極P(j, i)にそれぞれ与えられる。前記一方の基板上に液晶を介して対向する他方の基板には、これらの絵素電極Pのすべてに対向する共通電極が形成されており、この共通電極と前記選択的に駆動電圧が与えられる絵素電極Pとの間の電界によって階調表示が行われる。

【0025】ソースラインO1～ONは、半導体集積回路によって実現されるソースドライバ17の出力端子S1～SNにそれぞれ接続される。ゲートラインL1～LMは、半導体集積回路によって実現されるゲートドライバ18の接続端子G1～GMにそれぞれ接続される。この明細書中においてラインとそのラインに与えられる信号とは同一の参照符を付して表すことがある。

【0026】ゲートラインL1～LMが順次的に1つずつハイレベルとなる各水平走査期間WHにおいて、そのハイレベルとなっているゲートラインLjにゲート電極が接続されている薄膜トランジスタTが導通する。したがって、ソースラインO1～ONを介して与えられる階調表示データに対応する駆動電圧が、絵素電極Pと共通電極との間で充電される。この充電された電圧レベルは、合計M本のゲートラインL1～LMが走査される1垂直走査期間中において保持され、各絵素毎の階調表示が行われる。

【0027】ソースドライバ17には、表示制御回路19から直列3ビットの階調表示データD0～D2が各ソースラインO1～ONに対応して順次的に与えられる。このとき表示制御回路19はまた、クロック信号CKとラッチ信号LSとを発生してソースドライバ17に与える。これらの参照符D0～D2, CK, LSは、信号、接続端子またはラインを示すために用いることがあり、以下の説明における他の参照符に関しても同様である。

【0028】クロック信号CKおよびラッチ信号LSに同期した信号は、ライン20を介して表示制御回路19からゲートドライバ18にもまた与えられ、ゲートドライバ18は前述のようにゲートラインL1～LMに順次的なゲート信号G1～GMを同期して与える。

【0029】ソースラインO1～ONに駆動電圧を与えるために、基準電圧源21が設けられる。この基準電圧源21は、4種類の直流基準電圧V0, V2, V5, V7を常時発生する。電圧選択用スイッチング回路22は、基準電圧源21の基準電圧出力端子V0, V2, V5, V7と複数（この実施の形態では2）の基準電圧ライン23, 24との間に介在され、これらの各基準電圧

ライン23, 24に後述の第1の時間W1a, W1b, W1cずつ時分割して、2つの基準電圧から成る合計3組の組合せ(V0, V2), (V2, V5), (V5, V7)を、ソースドライバ17から与えられる基準電圧制御信号SV1, SV2, SV3に基づいて発生する。W1a=W1b=W1cであり、総括的に参照符W1で表すことがある。

【0030】図2は、ソースドライバ17の具体的な構成を示すブロック図である。図2において参照符2, 3は、ラインの数を示す。ソースドライバ17に備えられている電圧作成用スイッチング回路28からは、一対の入力端子123, 124に基準電圧ライン23, 24を経て時分割された基準電圧が与えられる。シフトレジスタSRには、クロック信号CK(後述の図12(1)参照)が順次的に入力され、これに基づいてシフトレジスタSRは、図3(3)~図3(6)にそれぞれ示される各ソースラインO1~ON毎のメモリ制御信号SR1, SR2, ..., SR(N-1), SRNを順次的に導出する。表示制御回路19から供給される直列3ビットの階調表示データD0~D2は、各ソースラインO1~ON

に対応して図3(2)に参照符DA1, DA2, DA3, ..., DANで示されるように順次的にソースドライバ17に入力され、データメモリDMに、メモリ制御信号SR1~SRNに応答して順次的にストアされる。

【0031】データラッチ回路DLは、図3(7)に示される1水平走査期間WH毎に出力されるラッチ信号LSに

応答して、データメモリDMにストアされている並列3ビットの各階調表示データを、すべてのソースラインO1~ONに対応させて、ストアし、ラッチする。こうして表示制御回路19において用いられる図3(1)に示す水平同期信号Hsynの1水平走査期間WH内において、上述の動作が行われる。

【0032】図4は、表示制御回路19によるタイミング動作を説明するための波形図である。図4(1)に示される垂直同期信号Vsynの各周期毎に、図4(2)に示される水平同期信号Hsynが、ゲートラインL1~LMにそれぞれ対応して発生される。図4(2)において参照符1H, 2H, ..., MHは、水平走査期間WHを個別的に示している。各水平走査期間WH中に、ソースラインO1~ONに対応する総括的にDA11, DA12, ..., DA1Mで示される階調表示データDA1~DANが図4(3)に示されるように表示制御回路19から発生されてソースドライバ17に与えられる。図4(4)は、1水平走査期間WH毎に発生されるラッチ信号LSの波形を示す。

【0033】図4(5)は、1水平走査期間WHにおいて与えられたデジタル階調表示データD0~D2に応じて、ソースラインO1~ONで与えられる電圧レベルを総括的に示し、合計M本のソースラインO1~ONの電圧レベルをまとめて表すために斜線が施されている。ノ

ンインターレース方式では、表示パネル16の1画面が、1垂直走査期間で表示される。本発明は、インターレース方式の場合においても同様に実施することができる。

【0034】図4(6)~図4(8)は、ゲートドライバ18からゲートラインL1, L2, LMにそれぞれ与えられるゲート信号G1, G2, GMの波形をそれぞれ示す。たとえば第j番目のゲート信号Gjがハイレベルであることによって、そのゲートラインLjにゲート電極が接続されている合計N個の薄膜トランジスタT

(j, i)(j=1~M, i=1~N)がすべてオン状態になり、このとき絵素電極P(j, i)は、そのソースラインOiに与えられる駆動電圧に応じて充電される。各ゲートラインL1~LMに対して合計M回、上述の動作が繰返されることによって、ノンインターレースの1垂直走査期間における1画面が表示されることになる。

【0035】図5は、上述の本発明の実施の形態によって、ソースラインO1~ONに与えられる駆動電圧によって表示動作が行われることを示す波形図である。図5(1)は垂直同期信号Vsynを示し、図5(2)は水平同期信号Hsynを示し、図5(3)は前述の図4

(4)と同様にラッチ信号LSを示す。また図5(4)は、前述の図4(5)に関連して述べたのと同様に、ソースラインO1~ONに各水平走査期間WH毎に与えられる電圧レベルを総括的に示す。図5(5)、図5

(6)および図5(7)は、前述の図4(6)、図4(7)および図4(8)にそれぞれ対応しており、ゲート信号G1, G2, GMをそれぞれ示す。図5(8)~図5(13)は、図29における表示パネル11の各絵素電極P(j, i)(j=1~M, i=1~N)における各絵素電極毎の保持される電圧波形を示している。これらの各絵素電極毎に与えられる電圧の極性は、いわゆる交流駆動法によって、1垂直走査期間毎に、したがって1フィールド毎に反転し、これによって液晶の劣化が抑えられる。

【0036】図6は、データメモリDMおよびデータラッチ回路DLの1つのソースラインOiに対応する具体的な構成を示すブロック図である。第i番目のソースラインOiに対応して、データメモリDMiは、階調表示データD0~D2の各ビットがD形フリップフロップFDM0~FDM2の入力端子Dに与えられ、このクロック入力端子CKにメモリ制御信号SRiが与えられたときのレベルを、出力端子Qに導出する。

【0037】データラッチ回路DLiは、データメモリDMiの各フリップフロップFDM0~FDM2の出力Qを入力端子Dで受信するD形フリップフロップFDL0~FDL2をそれぞれ備える。これらのフリップフロップFDL0~FDL2には、ラッチ信号LSがクロック入力端子CKに与えられ、そのときの入力端子Dのレ

ベルを出力端子Qから、階調表示データd0～d2としてデコード回路DRiに3ビット並列に与える。

【0038】図7は、前述の図6におけるデータラッチ回路DLiから出力される階調表示データd0～d2を受信する1ソースラインOi分のデコード回路DRiの具体的な構成を示すとともに、そのソースラインOiに駆動電圧V0～V7を供給することができるようにするための電圧作成用スイッチング回路28を示す電気回路図である。

【0039】デコード回路DRiには、前述の並列3ビットの階調表示データd0～d2とともに、ライン26を介してデューティパルス発生回路DUからデューティパルスが与えられる。並列階調表示データd0～d2と反転回路31、32、33によって反転された信号とは、NANDゲート34～39に与えられるとともに、NORゲート40、41に与えられ、またNANDゲート34、35とNORゲート40、41とはライン26を介するデューティパルスが与えられる。これらのNANDゲート34～39およびNORゲート40、41の出力およびそれらの反転回路51～54で反転された信号は、NORゲート42～49にそれぞれ与えられる。NORゲート42の出力は、反転回路55で反転され、またNORゲート43～45の出力はNORゲート56に与えられ、さらにNORゲート46～48の出力はNORゲート57に与えられ、NORゲート49の出力は反転回路58で反転される。

【0040】3つの基準電圧制御信号SV1、SV2、SV3は、ANDゲート59、60；61、62；63、64の一方の入力にそれぞれ与えられる。ANDゲート59の他方の入力には反転回路55の出力が与えられる。ANDゲート60、61の他方の入力にはNORゲート56の出力がそれぞれ与えられる。ANDゲート62、63の他方の入力にはNORゲート57の出力がそれぞれ与えられる。ANDゲート64の他方の入力には反転回路58の出力が与えられる。

【0041】ANDゲート59、61、63の各出力は、ORゲート66から、電圧作成用スイッチング回路28の電圧作成用スイッチング素子であるアナログスイッチASW0に、スイッチング制御信号AS0として与えられる。またANDゲート60、62、64の出力はもう1つのORゲート67から、もう1つの電圧作成用スイッチング素子であるアナログスイッチASW2にスイッチング制御信号AS2として与えられる。

【0042】図8は、電圧作成用スイッチング回路28の具体的な構成を示す電気回路図である。2つの基準電圧ライン23、24には、アナログスイッチASW0、ASW2がそれぞれ介在され、その基準電圧ライン23、24は、アナログスイッチASW0、ASW2に関して一方側（図8の右方側）では、接続点69において共通に接続され、接続端子Siから第i番目のソースラ

インOiに接続されて階調表示のための駆動電圧V0～V7が与えられる。アナログスイッチASW0は、並列に接続されたP形およびN形のチャネルを有する電界効果トランジスタ71、72と、スイッチング制御信号AS0を反転してトランジスタ72のゲートに与える反転回路73とが含まれ、トランジスタ71のゲートにはスイッチング制御信号AS0がそのまま与えられる。同様にしてもう1つのアナログスイッチASW2は、スイッチング制御信号AS2がゲートに与えられるP形チャネル電界効果トランジスタ74と反転回路76を介してゲートに与えられるN形チャネル電界効果トランジスタ75を含み、これらのトランジスタ74、75は並列に接続される。

【0043】これらの各アナログスイッチASW0、ASW2では選択された基準電圧レベルをソースラインOiに与えて絵素電極Pに正確に電圧レベルを保持させるために、そのオン抵抗を十分に低くしておく必要がある。したがってこれらのトランジスタ71、72；74、75の占める面積を比較的大きくする必要がある。本件実施の形態では、3ビットの階調表示データD0～D2を用いて合計8階調を行うためには、2つのアナログスイッチASW0、ASW2のみを用いるだけでよく、これによってアナログスイッチASW0、ASW2のソースドライバ17に占める面積を小さくすることができ、そのソースドライバ17の半導体チップの小形化を図ることができるのである。さらにまた基準電圧ライン23、24は、2本ですみ、ソースドライバ17の接続端子AV、BVの数が少なくすむ。

【0044】図9は、デューティパルス発生回路DUの具体的な構成を示すブロック図である。このデューティパルス発生回路DUは、後述の図12（1）に示されるクロック信号CKと、ラッチ信号LSの反転回路78で反転されたライン84を介する信号とにตอบสนองして、デューティ比1：2のデューティパルスを図12（2）で示されるように発生する。このデューティパルス発生回路DUは、D形フリップフロップ81、82、83が直列にまたは縦続接続されて構成される。クロック信号CKは、各フリップフロップ81、82、83のクロック入力端子CKに与えられる。反転回路78を介するラッチ信号LSの反転された信号は、初段のフリップフロップ81のセット入力端子S*（*は反転を意味する）に与えられる。終段のフリップフロップ83の出力Qは、初段の入力端子Dに与えられる。

【0045】このデューティパルスは、ライン26を介して前述のようにデコード回路DRiに共通に与えられるとともに、次に説明する基準電圧選択制御手段85にも与えられる。

【0046】図10は、基準電圧選択制御手段85の具体的な構成を示すブロック図であり、これによって基準電圧制御信号SV1、SV2、SV3が図12（3）、

図12(4)および図12(5)に示されるように得られる。デューティパルスはライン26から直列または縦続接続されたD形フリップフロップ86~92のクロック入力端子CKに共通に与えられる。ライン84を介する反転回路78からのラッチ信号LS*は、フリップフロップ86~92のリセット入力端子R*にそれぞれ共通に与えられる。初段のフリップフロップ86の入力端子Dには、その初段のフリップフロップ86と次段のフリップフロップ87との出力Qが入力されるNANDゲート93の出力が与えられる。

【0047】フリップフロップ89~92の出力QおよびQ*は、基準電圧制御信号SV1, SV2, SV3のためのANDゲート94, 95; 96, 97; 98, 99に与えられ、さらにNORゲート101, 102, 103に与えられる。

【0048】図11は、図1に示される基準電圧選択用スイッチング回路22の具体的な構成を示すブロック図である。基準電圧源21からの基準電圧V0, V2, V5, V7の入力端子と2つの基準電圧ライン23, 24の他方側との間には、基準電圧選択用スイッチング素子であるアナログスイッチASW1a, ASW1b; ASW2a, ASW2b; ASW3a, ASW3bがそれぞれ介在される。これらのアナログスイッチASW1a~ASW3bは、基準電圧制御信号SV1, SV2, SV3によってオン/オフが制御される。たとえば第1の時間W1a(図12参照)で基準電圧制御信号SV1がハイレベルとなることによって、アナログスイッチASW1a, ASW1bがオン状態となり、したがって基準電圧V0, V2が基準電圧ライン23, 24にそれぞれ与えられる。また同様にして、第1の時間W1bで基準電圧制御信号SV2がアナログスイッチASW2a, ASW2bに与えられることによって、基準電圧ライン23, 24には基準電圧V2, V5が与えられる。さらに第1の時間W1cで基準電圧制御信号SV3がアナログスイッチASW3a, ASW3bに与えられることによって、基準電圧V5, V7が基準電圧ライン23, 24に与えられる。こうして多値電圧発生手段は、基準電圧*

$$W1 = W2 + W3$$

$$W3 = 2 \cdot W2$$

3つの時間順次的な第1の時間W1a, W1b, W1c毎に、基準電圧の各組合せ(V0, V2), (V2, V5), (V5, V7)が繰返され、これら3つの第1の時間W1a, W1b, W1cの和を、参照符W0で示す ※

$$W0 = 3 \cdot W1$$

基準電圧の3つの組合せが繰返される周期W0は、たとえば1水平走査期間WHに等しく選ばれてもよく、その1水平走査期間WH未満の値に選ばれてもよい。上述の実施の形態では、周期的な時間W0に含まれる3つの第1の時間W1a, W1b, W1cはすべて等しい値に定められたけれども、本発明の他の実施の形態としてこれ

*源21と電圧選択用スイッチング回路22と基準電圧選択制御手段85とによって構成される。

【0049】基準電圧ライン23, 24から導出される基準電圧の組合せは、第1の時間W1a, W1b, W1c毎に上述のように(V0, V2), (V2, V5), (V5, V7)であり、したがって各組合せは、上下に隣接する基準電圧V0およびV2, V2およびV5ならびにV5およびV7に選ばれており、しかもこれらの3つの組合せ(V0, V2), (V2, V5), (V5, V7)は、相互にそれらの組合せを構成する電圧値が各組合せ毎に異なっている。

【0050】図12は、電圧作成用スイッチング回路28を介してソースラインOiに与えられる電圧を説明するための図である。図12(1)のクロック信号CKに基づいて、デューティパルス発生回路DUでは図12

(2)に示されるデューティパルスが作成される。このデューティパルスは、ラッチ信号LSにもまた同期しており、さらにこのデューティパルスとラッチ信号LSとによって、図10に示される基準電圧選択制御手段85によって3つの基準電圧制御信号SV1, SV2, SV3が発生される。この基準電圧制御信号SV1, SV2, SV3は、図12(3)、図12(4)、図12(5)にそれぞれ示されている。したがって電圧選択用スイッチング回路22は、この基準電圧制御信号SV1, SV2, SV3にตอบสนองして基準電圧ライン23, 24に図12(6)および図12(7)にそれぞれ示される基準電圧V0, V2, V5; V2, V5, V7を導出する。このようにして各基準電圧制御信号SV1, SV2, SV3は、第1の時間W1ずつずれており、したがって各基準電圧の組合せ(V0, V2), (V2, V5), (V5, V7)は、この第1の時間W1ずつ時分割して出力されることになる。第1の時間W1a, W1b, W1cを総括的に参照符W1で示すことがある。デューティパルスは、第1の時間W1未満である第2の各時間W2, W3にそれぞれ対応したハイレベルおよびローレベルを有するデューティ比1:2を有する。

【0051】

$$\dots (1)$$

$$\dots (2)$$

40※す。この実施の形態ではW1a, W1b, W1cは、すべて等しい。

【0052】

$$\dots (3)$$

ら3つの第1の時間W1a, W1b, W1cは、相互に異なっているもよい。

【0053】第1の時間W1aにおいて基準電圧V0またはV2を導出するには、アナログスイッチASW1a, ASW1bが導通され、基準電圧ライン23, 24に介在されている電圧作成用スイッチング回路28にお

けるアナログスイッチASW0またはASW2がその第1の時間W1aにおいて導通されればよい。また他の第1の時間W1bにおいて基準電圧V2を導出する必要があるときには、その第1の時間W1bにおいてアナログスイッチASW2aがアナログスイッチASW2bとともに導通され、電圧作成用スイッチング回路28におけるアナログスイッチASW0が導通されればよい。このことは残余の基準電圧V5、V7に関しても同様である。

$$V0 < V1 < V2 < V3 < V4 < V5 < V6 < V7 \quad \dots (4)$$

となる。

【0055】

10※【表1】

※

階調表示データ			出力電圧値
D2	D1	D0	
0	0	0	V0
0	0	1	$V1 = \frac{V0 + 2 \cdot V2}{3}$
0	1	0	V2
0	1	1	$V3 = \frac{2 \cdot V2 + V5}{3}$
1	0	0	$V4 = \frac{V2 + 2 \cdot V5}{3}$
1	0	1	V5
1	1	0	$V6 = \frac{2 \cdot V5 + V7}{3}$
1	1	1	V7

【0056】たとえば、1つのソースラインO_iに関してデータラッチ回路DL_iから階調表示データd₀、d₁、d₂が導出されて、図7に示されるデコーダ回路DR_iに与えられるときを想定する。基準電圧V2、V5を利用して電圧V3を求める場合を想定する。ラッチされた階調表示データd₀、d₁、d₂は、その1水平走査期間において図12(8)、図12(9)、図12(10)に示されるように論理「110」である。

【0057】したがって、基準電圧V0、V2、V5、V7の1周期W0における組合せ(V2、V5)が導出される基準電圧制御信号SV2がハイレベルである期間W1bにおいて、図7に示されるデコーダ回路DR_iのORゲート66は、図12(11)に示される波形を有するスイッチング制御信号AS0を導出する。またORゲート67は、図12(12)に示されるスイッチング制御信号AS2を導出する。電圧V3を得るために基準電圧V2がソースラインO_iに導出される期間W3は、基準電圧V5が導出される期間W2の2倍である。これによって電圧V3がソースラインO_iを介して絵素電極

する。

【0054】表1は、階調表示データD0～D2、したがってデータラッチ回路DLからのラッチされた階調表示データd0～d2に対応する基準電圧V0、V2、V5、V7と電圧作成用スイッチング回路28によって作成される電圧V1、V3、V4、V6をそれぞれ示す。たとえば、基準電圧V7が基準電圧V0よりも高い電圧となるように設定されていると、

Pに与えられて、その電圧V3に対応した充電電圧による階調表示が得られる。

【0058】このようにして電圧選択用スイッチング回路22から基準電圧ライン23、24に導出される電圧は、各第1の時間W1a、W1b、W1c毎に、図13に示されるとおりとなる。

【0059】図11に関連して述べた基準電圧選択用スイッチング回路22では、時間経過に伴って、複数(この実施の形態では4)の基準電圧V0、V2、V5、V7の高くなる順にまたは低くなる順に(この実施の形態では高くなる順に)、各第1の時間W1a、W1b、W1c毎の時分割的に、かつ繰返される各サイクルである周期W0中に複数回(この実施の形態では3回)にわたって、基準電圧V0、V2、V5、V7が基準電圧ライン23、24を経てソースドライバ17の入力端子123、124にそれぞれ与えられる。一対の各入力端子123、124に基準電圧ライン23、24を介して第1の時間W1a、W1b、W1cの各回に同時に与えられる基準電圧V0、V2、V5、V7は、前記順に1つだ

けずれており、前述の実施の形態では一方の基準電圧ライン23には基準電圧V0、V2、V5、V7のうち、高くなる順にV0、V2、V5がこの順に与えられ、もう1つの基準電圧ライン24には、その高い順に1つだけずれた基準電圧V2、V5、V7が与えられる。

【0060】3つの第1の時間W1a、W1b、W1cの1周期W0が、1水平走査期間WH中に複数回繰返されて、各ソースラインO_iに電圧が印加されて保持されるようにしてもよいけれども、そのような階調に対応する電圧の絵素電極Pによる充電が単一回の周期W0で達成されるならば、そのような電圧印加の動作は単一回だけであってもよい。

【0061】図14は、本発明の原理を説明するための簡略化した等価回路図である。本発明においては、ソースドライバ17の駆動対象となる1つのソースラインO_iの抵抗R_sと、ソースラインO_iの持つ静電容量C_sとが直列に接続されたいわばローパスフィルタの機能を有する回路を考える。絵素電極Pが有する等価的な容量は、参照符CLで示されている。この絵素電極Pの静電容量CLは、ソースラインO_iの容量C_sに比べて十分に小さい(C_s >> CL)。したがって絵素電極Pに与えられる電圧は、抵抗R_sと静電容量C_sとの接続点105の電圧と同一の値になる。したがってこのローパスフィルタとしての機能を有する図14に示される等価回路において、電圧作成用スイッチング回路28のアナログスイッチASW0、ASW2を、第1の各時間W1a、W1b、W1cにおいて第2の時間W2、W3だけ断続的にオン/オフ制御して、時間tに依存するいわば振動電圧v(t)をソースラインO_iに与えるとき、その振動電圧v(t)の周期2πが、抵抗R_sおよび容量C_sによって定まるローパスフィルタの遮断周波数の周期より十分に短く選ぶことによって、絵素電極Pの充電電圧は、接続点105における絵素電極Pに印加される周期振動電圧v(t)の平均電圧に十分に近似することが理解される。たとえば時定数C_s・R_s = 10⁻⁷であるとき、この振動電圧の周波数はたとえば1.6MHz以上であればよい。

【0062】このようにして本発明では、液晶表示パネル56が不可避免的に有しているソースラインO_iの抵抗R_sと静電容量C_sとを積極的に利用し、4種類の予め定める基準電圧V0、V2、V5、V7に基づいて、それらの間の電圧V1、V3、V4、V6を前述の表1のようにして作成する。これによって基準電圧源21の構成を簡略化することができるのは勿論、基準電圧ライン23、24の本数を低減して半導体集積回路によって実現されるソースドライバ17の接続端子数を減らすことができるとともに、この基準電圧ライン23、24毎に個別的に設けられている電圧作成用スイッチング素子であるアナログスイッチASW0、ASW2の数を低減して、上述の実施の形態では2つだけとし、その半導体チ

ップの小形化を図ることができるのである。

【0063】図1～図14に示す実施の形態によれば、前述の図29～図32に関連して述べた各先行技術に比べて、本発明に従うソースドライバ17の半導体チップサイズである面積を、約10%縮小することができたことが本件発明者によって確認された。さらにまた本件発明者によれば、64階調の表示を行うソースドライバの場合には先行技術に比べて約15%の半導体チップサイズの縮小化が可能となり、さらに256階調の表示を行うソースドライバの場合には約25%の半導体チップサイズの縮小化が図られることが確認された。このように本発明によれば、ソースドライバ17の半導体チップサイズの縮小を大幅に達成することができる。

【0064】上述の実施の形態では、電圧選択用スイッチング回路22は、ソースドライバ17の外部に設けられていたけれども、本発明の他の実施の形態として図15に示されるようにソースドライバ17aを構成する半導体チップ内に、図11に示される電圧選択用スイッチング回路22を内蔵するような構成としてもよい。このような図15に示される実施の形態によれば、前述の図2に示される実施の形態と比べて、その図2の実施の形態では2つの基準電圧ライン23、24と3つの基準電圧制御信号SV1、SV2、SV3のための合計5つの接続端子を必要としたのに対して、図15の実施の形態では4つの基準電圧V0、V2、V5、V7のための接続端子が設けられればよくなり、接続端子の数を1つ減らすことができる。

【0065】図16は、本発明の他の実施の形態の電圧作成用スイッチング回路107の電気回路図である。6つの基準電圧ライン108～113には、電圧作成用スイッチング素子であるアナログスイッチASW1～ASW6が介在されており、これらの基準電圧ライン108～113には、基準電圧V0～V8を発生する基準電圧源21から基準電圧選択用スイッチング回路22を経て、図17(1)～図17(6)にそれぞれ示される基準電圧V0～V8が、最初の第1の周期的な時間W1aにおいて基準電圧の組合せ(V0、V1、V4、V5、V6、V7)が導出され、また次の第1の時間W1bでは基準電圧の組合せ(V1、V2、V3、V4、V7、V8)が導出して与えられるように構成される。アナログスイッチASW1～ASW6は、同時に2つのみが各第1の時間W1a、W1bにおいて予め定めるデューティ比でオン/オフ制御され、こうして振動電圧がソースラインO_iに与えられる。

【0066】図16および図17に示される実施の形態において、他の構成は、前述の実施の形態に類似するけれども、注目すべきはこの実施の形態では合計16階調表示を可能としている。各ソースラインO_i毎の表示データは、表2に示されるように4ビットD0～D3が用いられ、基準電圧V0～V8の間の電圧V01、V1

2, V23, V34, V45, V56, V67は、デューティ比1:1のデューティパルスが用いられて、前述の実施の形態と同様にして得られる。たとえば電圧V01を作成するために、2つの第1の時間W1a, W1bのうち一方の第1の時間W1aにおいて、その半分の時間だけアナログスイッチASW1を導通し、残りの半分の時間だけアナログスイッチASW2を導通し、これに*

*よってこれらの基準電圧V0, V1の平均化された電圧V01が、ソースラインO1に与えられることが可能になる。このことは他の中間の電圧V12, V23, V34, V45, V56, V67に関しても同様である。

【0067】

【表2】

階調表示データ				出力電圧値
D3	D2	D1	D0	
0	0	0	0	V0
0	0	0	1	$V01 = \frac{V0+V1}{2}$
0	0	1	0	V1
0	0	1	1	$V12 = \frac{V1+V2}{2}$
0	1	0	0	V2
0	1	0	1	$V23 = \frac{V2+V3}{2}$
0	1	1	0	V3
0	1	1	1	$V34 = \frac{V3+V4}{2}$
1	0	0	0	V4
1	0	0	1	$V45 = \frac{V4+V5}{2}$
1	0	1	0	V5
1	0	1	1	$V56 = \frac{V5+V6}{2}$
1	1	0	0	V6
1	1	0	1	$V67 = \frac{V6+V7}{2}$
1	1	1	0	V7
1	1	1	1	V8

【0068】本発明において、表示すべき階調数を増大し、たとえば8階調だけでなく、16階調、32階調、64階調、…、256階調というように階調数の増加に伴ってデューティ比1:a (aは自然数)における値aを大きくして、できるだけ少ない基準電圧の種類の数を用いて多数の階調に対応した駆動電圧を作成する必要が生じる。この値aを大きくするという事は、液晶表示パネル17の等価的な静電容量Csに電荷を充電する時間を短くせざるを得ず、したがって希望する振動による駆動電圧が得られにくくなることが考えられる。この問題については、本発明では、この基準電圧の種類数を増加させ、デューティ比1:bの値bを小さくし、充電

時間を長くすることによって解決することができる。また、液晶表示パネル17のソースラインO1～ONの抵抗を低下する構成とすることによって、たとえばその配線抵抗の小さい金属材料を用い、またはその他の構成によって、前記値bを小さくせざるを得ないという事態を回避することができる。

【0069】本発明の他の実施の形態として図18に示される電圧作成用スイッチング回路130では、4つの基準電圧ライン114, 115, 116, 117に、アナログスイッチASW1～ASW4がそれぞれ介在されている。基準電圧ライン114～117には、基準電圧V0～V7を発生する基準電圧源21から、基準電圧選

採用スイッチング回路22を介して周期的な3つの第1の時間W1a, W1b, W1c毎に図19(1)~図19(4)に示すように基準電圧ライン114~117に基準電圧V0~V7が与えられ、それらの基準電圧V0~V7の組合せ(V0, V1, V6, V7)、(V1, V2, V5, V6)および(V2, V3, V4, V5)が第1の時間W1a, W1b, W1cにおいてそれぞれ導出されて印加される。アナログスイッチASW1~ASW4におけるいずれか2つのアナログスイッチが、3つの第1の時間W1a, W1b, W1cのいずれか1つにおいて、予め定めるデューティ比でオン/オフ制御されることによって、基準電圧の間の電圧を作成してソースラインO_iに与えることができる。

* 【表3】

スイッチ	1周期W0					
	W1a	W1b	W1c	...	W1d	
ASW1	V0	V1	V2	...	V _m	第1グループ
ASW2	V1	V2	V3	...	V _{m+1}	
ASW3	V _{2m+2}	V _{2m+1}	V _{2m}	...	V _{m+2}	第2グループ
ASW4	V _{2m+3}	V _{2m+2}	V _{2m+1}	...	V _{m+3}	

【0073】この実施の一形態では、各出力端子S_iに対応して少なくとも2組(この形態では2組)の対を成す入力端子、したがって基準電圧ライン114, 115; 116, 117がそれぞれ設けられており、各出力端子S_iとその出力端子S_iに対応する2組の対を成す入力端子、したがって基準電圧ライン114, 115; 116, 117との間に電圧作成用スイッチング素子であるアナログスイッチASW1, ASW2; ASW3, ASW4がそれぞれ介在されている。基準電圧ライン114~117に与えられる複数の基準電圧V0~V_{2m+3}などが、表3に示されるように第1の組の対を成す基準電圧ライン114, 115に対応する基準電圧V0~V_m, V1~V_{m+1}から成る第1のグループと、第2の組の対を成す基準電圧ライン116, 117に対応する第2のグループの基準電圧V_{2m+2}~V_{m+2}, V_{2m+3}~V_{m+3}との合計2つのグループにグループ化されている。

【0074】基準電圧選択用スイッチング回路22の働きによって第1の組の入力端子を経て基準電圧ライン114, 115に与える基準電圧V0~V_{m+1}を時間経過に伴って第1グループ中の複数の基準電圧V0~V_{m+1}の高くなる順に、または低くなる順に(この一形態では高くなる順に)、第1の時間W1a, W1b, W1c, ..., W1d毎に時分割的に、かつ繰返される1周期W0の各サイクル中に複数回(この実施の形態では、m+1回)にわたって与える。この組の対を成す基準電圧ライン114, 115に各回の第1の時間W1a, W1b, W1c, ..., W1dに同時に与えられる基準電圧V0~V_{m+1}は、このグループ内で、基準電圧V0~V_{m+1}のたとえば高くなる順に1つだけずれており、たとえばこ

* 【0070】これらの図16~図19に示される実施の形態でもまた、各基準電圧の組合せが各第1の時間W1a, W1b, W1cにおいて相互に異なっており、基準電圧間の電圧を作成するための時間の無駄がなくなる。

【0071】本発明の実施の他の形態において、基準電圧源21は、基準電圧V0, V1, V2, ..., V_{2m+3}(m=0, 1, 2, 3, ...)を、図18に示される電圧作成用スイッチング回路130において基準電圧ライン114~117に表3に示されるように第1の時間W1a, W1b, W1c, ..., W1dを1周期W0として発生する構成としてもよい。

【0072】

【表3】

の実施の形態では基準電圧ライン114を経てアナログスイッチASW1に与えられるV0~V_mと基準電圧ライン115を経てアナログスイッチASW2に与えられる基準電圧V1~V_{m+1}は、高い順に1つだけずれている。もう1つの組の対を成す基準電圧ライン116, 117に関しては、時間経過に伴って複数の基準電圧V_{m+2}~V_{2m+3}の低くなる順に時分割的に与えられ、その他の構成は、上述の対を成す基準電圧ライン114, 115に関連する構成と同様である。

【0075】上述の図18に示される本発明の実施の形態では、2組の対を成す入力端子、したがって基準電圧ライン114, 115; 116, 117が設けられただけでも、前述の図16に関連して述べたように3組の対を成す入力端子に対応する基準電圧ライン108, 109; 110, 111; 112, 113が設けられて同様な構成が実現されてもよく、さらに4組以上の対を成す入力端子に関連してもまた、本発明を実施することができる。

【0076】図20は、本発明のさらに他の実施の形態の電圧作成用スイッチング回路124の電気回路図である。基準電圧ライン118~123にはアナログスイッチASW1~ASW6がそれぞれ介在され、これらの基準電圧ライン118~123には、2つの第1の時間W1a, W1bにおいて図21(1)~図21(6)に示される基準電圧V0~V6が、基準電圧V0~V6が発生する基準電圧源21から、基準電圧選択用スイッチング回路22を介して与えられ、これらの基準電圧V0~V6の組合せ(V0, V1, V2, V3, V4, V5)および(V1, V2, V3, V4, V5, V6)がそれ

ぞれ導出されて印加される。この図20および図21に示される実施の形態では、たとえば一方の第1の時間W1aにおける基準電圧の組合せV1, V2は、もう1つの第1の時間W1bにおける基準電圧V1, V2と同一であり、また他の基準電圧V2~V5に関しても同様に重なっている。このような構成もまた、本発明の精神に含まれる。

【0077】図22は、本発明のさらに他の実施の形態の電圧作成用スイッチング回路129の電気回路図である。3つの基準電圧ライン125, 126, 127にはアナログスイッチASW1~ASW3が介在されている。図23に示されるように基準電圧ライン125~127には、1周期W0において合計3つの第1の時間W1a, W1b, W1cが順次的に設定され、各第1の時間W1a, W1b, W1cにおいて相互に異なる基準電圧の組合せ(V0, V1, V2), (V2, V3, V4), (V4, V5, V6)が各基準電圧ライン125~128に基準電圧V0~V6を発生する基準電圧源21から、基準電圧選択用スイッチング回路22を介して前述の各形態と同様に与えられる。アナログスイッチASW1~ASW3のうち、基準電圧ライン125~127の上下に隣接する電圧、たとえば基準電圧V0とV1またはV1とV2などが与えられるアナログスイッチASW1とASW2とが第1の時間W1a中において第2の時間(前述の図12(2)に示されるようにたとえばW2とW3)だけ時間的に順次的にオン/オフ制御されて、基準電圧V0, V1間の希望する電圧を得ることができ、あるいはまた対を成すアナログスイッチASW2, ASW3がその第1の時間W1a中において第2の時間ずつずれてオン/オフ制御されて基準電圧V1, V2間の希望する電圧を得ることができる。前述の実施の形態と同様に、1周期W0は、1水平走査期間WHと同一であってもよく、あるいはまた周期W0は1水平走

査期間WH未満であって、この1水平走査期間WH内において周期W0内における同一動作が繰返されてもよい。前述の第1の時間W1aの動作は、他の第2の時間W1b, W1cのいずれかにおいて行われてもよく、ソースラインO_iに与えられる希望する電圧に対応して電圧が作成される。

【0078】本発明の他の実施の形態として、図22に示される3つのアナログスイッチASW1~ASW3を用い、繰返される周期W0における各時間W1a, W1bにおいて表4に示されるように入力端子、したがって基準電圧ライン125~127を経てアナログスイッチASW1~ASW3に、基準電圧源21から基準電圧選択用スイッチング回路22を経て電圧V0~V4が与えられるように構成されてもよい。

【0079】

【表4】

スイッチ	1周期W0	
	W1a	W1b
ASW1	V0	V2
ASW2	V1	V3
ASW3	V2	V4

【0080】本発明のさらに他の実施の形態として、図22におけるアナログスイッチASW1~ASW3の代りに合計n個のアナログスイッチASW1~ASWnを、図24に示されるように用い、各入力端子に個別的に接続される基準電圧ライン132~136には、表5の基準電圧V0~V_{(q+1)n}を発生する基準電圧源から基準電圧接続スイッチング回路22を経て基準電圧が表5に示されるように与えられる。q, nは自然数である。

【0081】

【表5】

スイッチ	1周期W0				
	W1a	W1b	W1c	...	W1d
ASW1	V0	V _n	V _{2n}	...	V _{qn}
ASW2	V1	V _{n+1}	V _{2n+1}	...	V _{qn+1}
ASW3	V2	V _{n+2}	V _{2n+2}	...	V _{qn+2}
⋮	⋮	⋮	⋮	⋮	⋮
ASW _{n-1}	V _{n-1}	V _{2n-1}	V _{3n-1}	...	V _{(q+1)n-1}
ASW _n	V _n	V _{2n}	V _{3n}	...	V _{(q+1)n}

【0082】この図24に示される一形態では、各出力端子S_iに対応して複数次nの入力端子に、したがって基準電圧ライン132~136がそれぞれ設けられてアナログスイッチASW1~ASWnが介在されている。この基準電圧ライン132~136、したがってアナログスイッチASW1~ASWnの数を第1複数次とすると

き、基準電圧V0~V_{(q+1)n}の数である第2複数次は、第1複数次を越える値である。

【0083】基準電圧ライン132~136、したがってアナログスイッチASW1~ASWnには、その基準電圧V0~V_{(q+1)n}の高くなる順に、または低くなる順に(この実施の形態では高くなる順に)、第1の時間W

1a~W1dに示されるように時分割的に、かつ繰返される1周期W0である各サイクル中に、複数回(この形態では表5に示されるように $q+1$)にわたって与えられる。各1周期W0の各回である第1の時間W1a~W1dで、基準電圧ライン132~136、したがってアナログスイッチASW1~ASWnに同時に与えられる基準電圧は、たとえば最初の回である第1の時間W1aでは $V_0 \sim V_n$ であり、次の回以降、たとえば第1の時間W1bでは $V_n \sim V_{2n}$ であり、以下同様にして第1の時間W1cでは、 $V_{2n} \sim V_{3n}$ 、 \dots 、 $V_{qn} \sim V_{(q+1)n}$ である。したがってたとえば時間W1bにおける電圧 $V_n \sim V_{2n}$ は、前回である期間W1aに与えられた基準電圧 $V_0 \sim V_n$ のうちの前記順(この形態では高い順)に1つだけ同一の基準電圧 V_n を含む。また同様に時間W1cの基準電圧 $V_{2n} \sim V_{3n}$ は、前回の期間W1bのうちの順に1つだけ同一の基準電圧 V_{2n} を含む。

【0084】図25は、本発明のさらに他の実施の形態の一部の構成を示す電気回路図である。この実施の形態で、前述の表示パネル16のソースラインO1~ONの総数Nが大きい場合などにおいて、複数のソースドライバ17a~17cが設けられ、それらのソースドライバ17a~17cに共通に基準電圧ライン23、24が接続される。基準電圧源21と電圧選択用スイッチング回路22とは、これらのソースドライバ17a~17cに共通に設けられる。したがって、この実施の形態によって構成の簡略化を図ることができる。

【0085】この図25の実施の形態では、各ソースドライバ17a~17cは、前述の図1~図14に関連して説明した構成であってもよく、あるいはまた図15に示される実施の形態の構成を有していてもよい。

【0086】前述の図16~図24の各実施の形態における他の構成は、図1~図14および図15に示される各実施の形態の構成と同様である。

【0087】本発明のさらに他の実施の形態として、図14における静電容量Csが小さい容量であるときには、表示パネル16に補助的に追加的な静電容量を形成するためのコンデンサを構成してもよい。

【0088】図26は、本発明の実施のさらに他の形態における基準電圧選択制御手段185の具体的な構成を示すブロック図である。基準電圧選択制御手段185は、ソースドライバ17において基準電圧選択制御手段85に置き換えて用いることができる。基準電圧選択制御手段185において、D形フリップフロップ186~192およびNANDゲート193は、前述の基準電圧選択制御手段85におけるD形フリップフロップ86~92およびNANDゲート93とそれぞれ対応し、同一の動作を行う。すなわち、フリップフロップ186~188とNANDゲート193とによってデューティパルスを3分周し、信号FQ3としてフリップフロップ189に inputs。信号FQ3は、デューティパルスの入力

されるタイミングに従って次段のフリップフロップへと順次入力されてゆく。

【0089】フリップフロップ189から出力される信号FQ4とフリップフロップ190から出力される信号FQ5*とに基づいてANDゲート194から基準電圧制御信号VS1が出力される。フリップフロップ192から出力される信号FQ7*とフリップフロップ191から出力される信号FQ6とに基づいてANDゲート195から基準電圧制御信号VS2が出力される。フリップフロップ190から出力される信号FQ5*とフリップフロップ191から出力される信号FQ6とに基づいてANDゲート196から基準電圧制御信号VS3が出力される。基準電圧制御信号VS1~VS3は、前述の基準電圧制御信号SV1~SV3と同様にデコード回路DRおよび電圧選択用スイッチング回路22などに入力される。

【0090】図27は、基準電圧選択制御手段185の動作を説明するための図である。図27(1)に示すクロック信号CKと前述のラッチ信号LSとに基づいて、デューティパルス発生回路DUにおいて図27(2)に示すデューティパルスが作成される。デューティパルスとラッチ信号LSを反転させた信号LS*とが基準電圧制御手段185に入力されることによって図27(3)~図27(11)に示す各信号がそれぞれのフリップフロップから出力される。図27(3)に示す信号FQ3は、デューティパルスを3分周した信号であり、フリップフロップ188から出力される。前述のようにANDゲート194~196に入力される各信号によって、図27(12)、図27(13)、図27(14)にそれぞれ示す基準電圧選択信号VS1、VS2、VS3が出力される。

【0091】図27に示すように、基準電圧選択信号VS1がハイレベルとなる期間W11aが終了してから基準電圧選択信号VS2がハイレベルとなる期間W11bが始まるまでの間は、いずれの基準電圧選択信号もハイレベルとならないスリット期間W12aとされる。また、期間W11bが終了してから基準電圧選択信号VS3がハイレベルとなる期間W11cが始まるまでの間はスリット期間W12bとされる。期間W11cが終了してから次に期間W11aが始まるまでの間はスリット期間W12cとされる。

【0092】期間W11a、W11b、W11cは前述の第1の時間W1a、W1b、W1cにそれぞれ対応しており、期間W11aでは図27(16)に示すように端子AVから電圧V0が出力され、図27(15)に示すように端子BVから電圧V2が出力される。期間W11bでは端子AVから電圧V2が出力され、端子BVから電圧V5が出力される。また、期間W11cでは、端子AVから電圧V5が出力され、端子BVから電圧V7が出力される。

【0093】各期間W11a, W12a, W11b, W12b, W11c, W12cはそれぞれこの順番で選ばれ、各期間を足合わせた期間を期間W10とする。

【0094】基準電圧の3つの組合わせが繰返される周期W10は、たとえば前述の1水平走査期間WHに等しく選ばれてもよく、1水平走査期間WH未満の値に選ばれてもよい。上述の実施の形態では、周期的な期間W10に含まれる3つの第1の時間W11a, W11b, W11cはすべて等しい値に定められたけれども、本発明の他の実施の形態としてこれら3つの第1の時間W11a, W11b, W11cは相互に異なってもよい。

【0095】また、実施のこの形態では、スリット期間W12a, b, cをデューティパルスに同期させていたが、同期していない構成としてもよい。すなわち、各基準電圧選択信号の長さが全て等しくなくても、また等しい場合であって他の信号を基準として作成されていたとしても各基準電圧選択信号が切替わるときに2つの基準電圧選択信号が同時にハイレベルとならないような構成であればよい。実施のこの形態においては、多値電圧発生手段は基準電圧源と電圧選択用スイッチング回路22と基準電圧選択制御手段185とを含んで構成される。

【0096】以上のように本発明の実施のこの形態においては、基準電圧選択制御手段185において生成され、時分割的に出力される基準電圧選択信号VS1~VS3がそれぞれハイレベルとなる期間W11a, W11b, W11cの間にスリット期間W12a, W12b, W12cが設けられているので、電圧選択回路22におけるアナログスイッチASW1a, ASW2a, ASW3aのうちの2つ、もしくはアナログスイッチASW1b, ASW2b, ASW3bのうちの2つが同時に導通されることがない。したがって、2つの電圧間が短絡することによって流れる貫通電流が流れることを防止することができ、基準電圧選択制御手段185が設けられるソースドライバ17における消費電力を低減させることができる。また、スリット期間W12は、デューティパルスに同期して前記期間W11にそれぞれ挿入されるので、各制御信号のオン/オフの制御のタイミングがずれることなどによって生じる表示への影響を除去することができる。

【0097】図28は、本発明の実施のさらに他の形態の基準電圧選択制御手段185aの具体的な構成を示すブロック図である。基準電圧選択制御信号185aは、基準電圧選択制御手段185のANDゲート194~196をNORゲート197~199に置換えた構成となっており、同一の構成要素には同一の参照符号を付して説明を省略する。

【0098】NORゲート197には、信号FQ4*と信号FQ5とが入力されて基準電圧選択信号VS1が出力される。NORゲート198には、信号FQ6*と信号FQ7とが入力されて基準電圧選択信号VS2が出力

される。NORゲート199には、信号FQ5と信号FQ6*とが入力されて基準電圧選択信号VS3が出力される。基準電圧選択制御手段185aにおける信号の入出力については基準電圧選択制御手段185と同様であり、図27に示すとおりである。

【0099】以上のように本発明の実施のこの形態においては、基準電圧選択制御手段185aは基準電圧選択制御手段185と同一の動作を行うことができ、基準電圧選択制御手段185と同一の効果を得ることができ

る。【0100】上述の説明において、入力端子というのは、ソースドライバ17に接続されているたとえばピン状の接続端子であってもよいけれども、そのような端子が設けられていない場合において、アナログスイッチなどのスイッチング素子の基準電圧ラインに接続される端子を入力端子と称することがあり、このような実施の形態では、入力端子はたとえばピン状に形成されておらず、また基準電圧ライン上の任意の点を入力端子と考えることもでき、本発明はこのような構成も含む。

【0101】

【発明の効果】本発明によれば、多値電圧発生手段から時分割的に基準電圧を供給するようにしてスイッチング素子を表示データに応じた所定のタイミングにおいてオン/オフ制御するようにして基準電圧の間の電圧を、いわば振動して得ることができるようにしたので、多階調のための駆動電圧に必要な基準電圧の数を低減することができ、したがって接続端子数およびアナログスイッチなどのスイッチング素子の数を低減することができる。これによって多階調が容易に可能になり、ソースドライバなどのような半導体集積回路の量産化が容易に可能になる。

【0102】また本発明によれば、入力端子へと入力される基準電圧が切替わる際に、いずれの基準電圧も出力されないスリット期間が設けられるので、2つの基準電圧が同時に選択されることによって2つの基準電圧間に貫通電流が流れることを防止することができ、表示装置の駆動装置における消費電力を低減させることができる。

【0103】また本発明によれば、上述のように入力端子数およびスイッチング素子数を低減することができることによって、構成の簡略化、低消費電力化、低コスト化および高密度実装化などの要求に応えることができるようになる。

【0104】さらに本発明によれば、上述のようにスイッチング素子の数を少なくすることができるようになるので、そのようなオン抵抗を十分に低くするために半導体チップ内で大きな面積を占める電圧作成用スイッチング素子の数を少なくすることによって、半導体チップ面積全体に対する電圧作成用スイッチング素子の面積が占める割合を小さくし、半導体チップの小形化が可能にな

るのである。

【0105】さらに本発明によれば、基準電圧ラインに与えられる基準電圧の組合せを、相互に異なるようにして効率よく、それらの基準電圧の間の希望する電圧を得ることが可能となる。

【0106】さらに本発明によれば、1つの集積回路内にスイッチング素子と制御手段と多値電圧発生手段とを収納して実現することによって、接続端子数をさらに低減することができる。

【0107】また本発明によれば、複数の第1集積回路に共通に1つの第2集積回路を設けて、構成の簡略化を図ることができる。

【0108】またさらに本発明によれば、スリット期間は予め定める基準電圧を選択する周期に同期させて設けられるので、各基準電圧間に貫通電流が流れることを防止することができるとともに、スリット期間が設けられることによって発生する可能性がある制御信号のオン／オフの制御のタイミングがずれるなどの表示装置に行う表示への影響を除去することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の全体の構成を示すブロック図である。

【図2】図1に示されるソースドライバ17の具体的な構成を示すブロック図である。

【図3】その実施の形態の1水平走査期間WHの動作を説明するための図である。

【図4】その実施の形態の1垂直走査期間の動作を説明するための図である。

【図5】各絵素Pに対応する駆動電圧の動作を説明するための図である。

【図6】1つのソースラインO_iに対応するデータメモリDM_iとデータラッチ回路DL_iとの具体的な構成を示すブロック図である。

【図7】1つのソースラインO_iに対応するデコード回路DR_iと電圧作成用スイッチング回路28との具体的な構成を示すブロック図である。

【図8】電圧作成用スイッチング回路28に含まれているアナログスイッチASW0、ASW2の具体的な構成を示す電気回路図である。

【図9】デューティパルス発生回路DUの具体的な構成を示すブロック図である。

【図10】基準電圧選択制御手段85の具体的な構成を示すブロック図である。

【図11】電圧選択用スイッチング回路22の具体的な構成を示す電気回路図である。

【図12】本発明の実施の一形態の階調表示に対応した駆動電圧を1つのソースラインO_iに与える動作を説明するための図である。

【図13】基準電圧ライン23、24に与える基準電圧V0、V2、V5、V7の各第1の時間W1a、W1

b、W1c毎の動作を説明するための図である。

【図14】本発明の実施の形態の振動電圧による絵素電極Pに与えられる電圧を説明するための電気回路の等価回路図である。

【図15】本発明の他の実施の形態のソースドライバ17aの具体的な構成を示すブロック図である。

【図16】本発明の他の実施の形態の電圧作成用スイッチング回路107の具体的な構成を示す電気回路図である。

10 【図17】図16に示される実施の形態の動作を説明するための図である。

【図18】本発明の他の実施の形態の電圧作成用スイッチング回路130の具体的な構成を示す電気回路図である。

【図19】図18に示される実施の形態の動作を説明するための図である。

【図20】本発明のさらに他の実施の形態の電圧作成用スイッチング回路124の具体的な構成を示す電気回路図である。

20 【図21】図20に示される実施の形態の動作を説明するための図である。

【図22】本発明の実施のさらに他の形態の電圧作成用スイッチング回路129の具体的な構成を示す電気回路図である。

【図23】図22に示される実施の形態の動作を説明するための図である。

【図24】本発明の実施の他の形態の電圧作成用スイッチング回路の具体的な構成を示す電気回路図である。

30 【図25】本発明のさらに他の実施の形態の一部の構成を示す電気回路図である。

【図26】本発明のさらに他の実施の形態の基準電圧選択制御手段185の具体的な構成を示すブロック図である。

【図27】基準電圧選択制御手段185の動作を説明するための図である。

【図28】本発明のさらに他の実施の形態の基準電圧選択制御手段185aの具体的な構成を示すブロック図である。

40 【図29】先行技術の表示装置の駆動装置の全体の構成を示す簡略化したブロック図である。

【図30】図29に示される先行技術におけるソースドライバ12の一部の具体的な構成を示すブロック図である。

【図31】他の先行技術のソースドライバ12aの一部の具体的な構成を示す電気回路図である。

【図32】図31に示される先行技術における基準電圧V2、V5を用いる振動電圧によって平均化された電圧V3を作成する動作を説明するための波形図である。

【符号の説明】

50 16 アクティブマトリクス形表示パネル

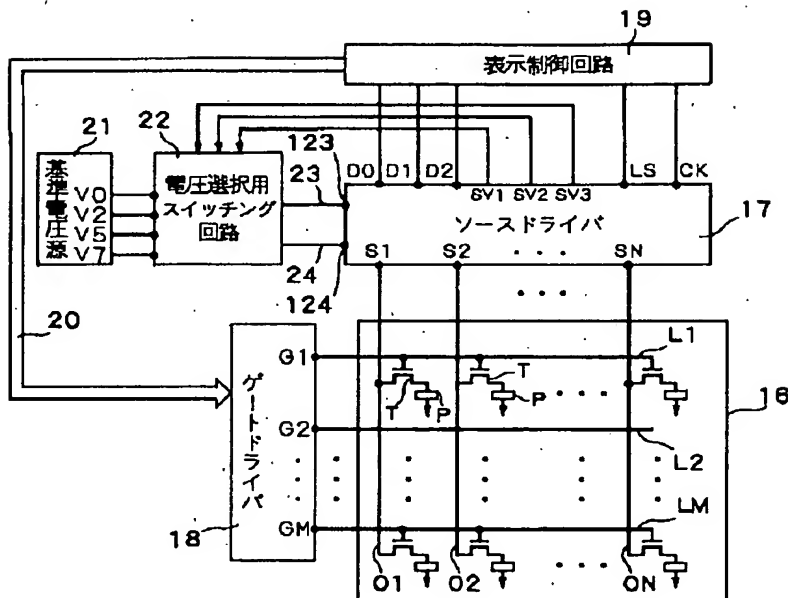
33

34

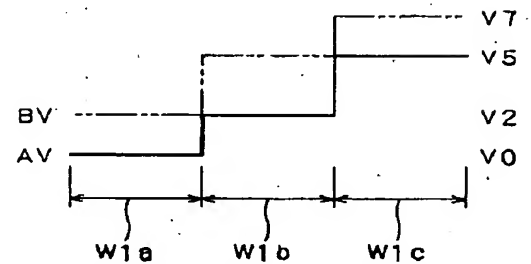
17a, 17b, 17c ソースドライバ
 18 ゲートドライバ
 19 表示制御回路
 21 基準電圧源
 22 電圧選択用スイッチング回路
 23, 24 基準電圧ライン
 28, 107, 124, 129, 130 電圧作成用スイッチング回路
 85, 185, 185a 基準電圧選択制御手段
 O1~ON ソースライン
 L1~LM ゲートライン
 T 薄膜トランジスタ
 P 絵素電極

D0~D2 階調表示データ
 CK クロック信号
 LS ラッチ信号
 SV1, SV2, SV3 基準電圧制御信号
 DM データメモリ
 SR1~SRN メモリ制御信号
 DL データラッチ回路
 DU デューティパルス発生回路
 ASW0, ASW2 アナログスイッチ
 10 AS0, AS2 スwitchング制御信号
 W1a, W1b, W1c 第1の時間
 W2, W3 第2の時間

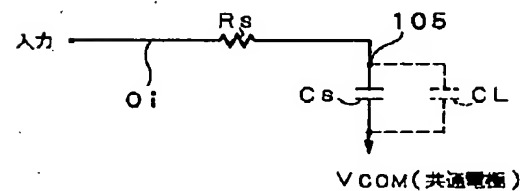
【図1】



【図13】

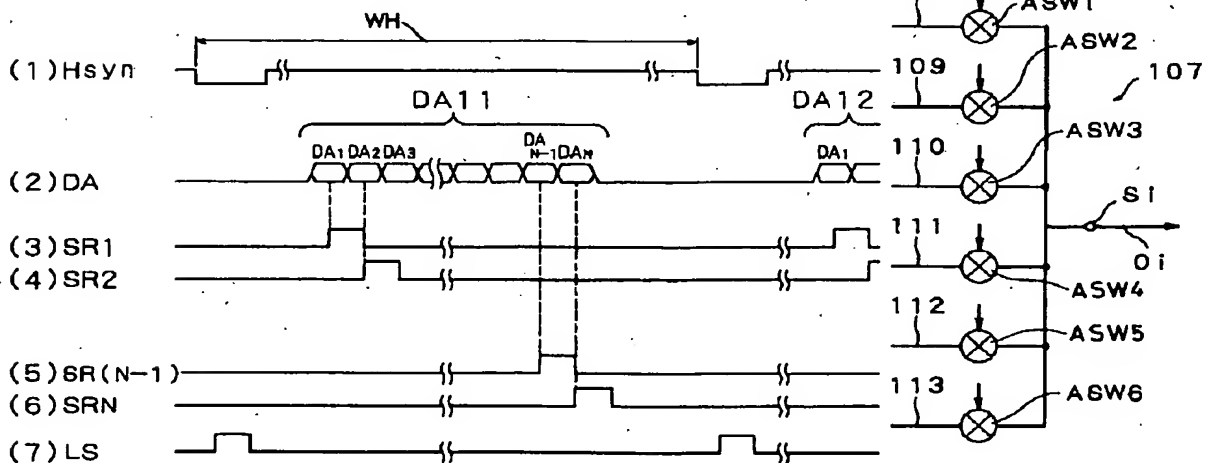


【図14】

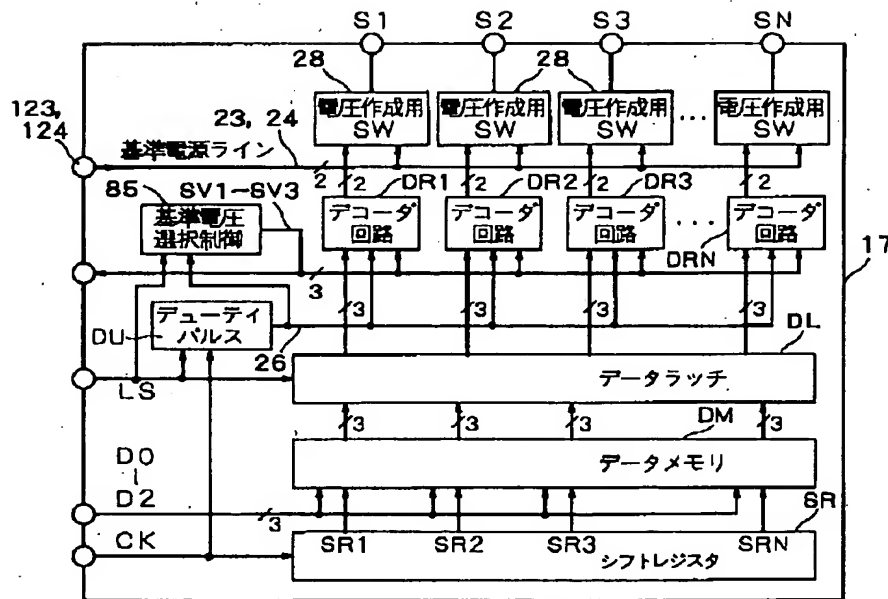


【図16】

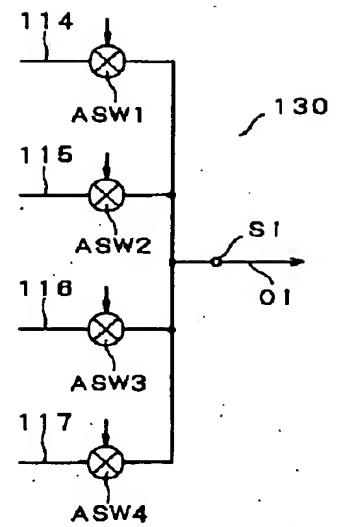
【図3】



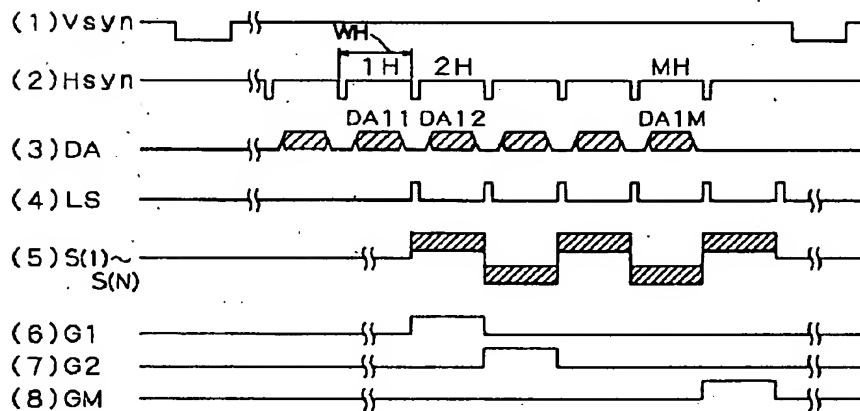
【図2】



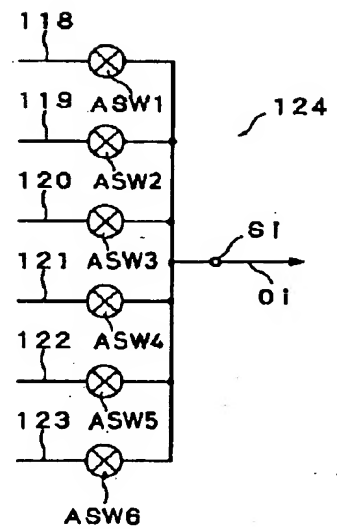
【図18】



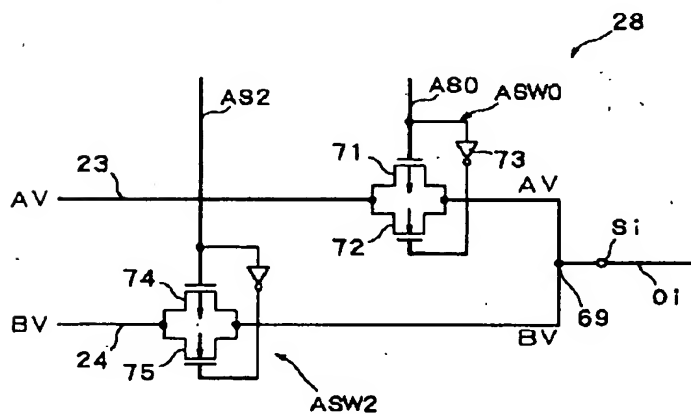
【図4】



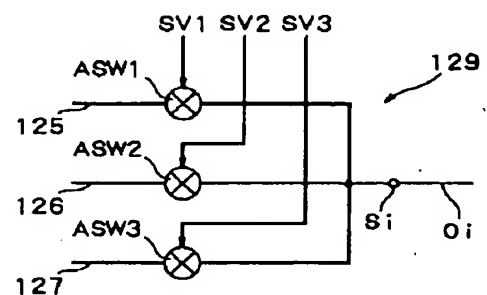
【図20】



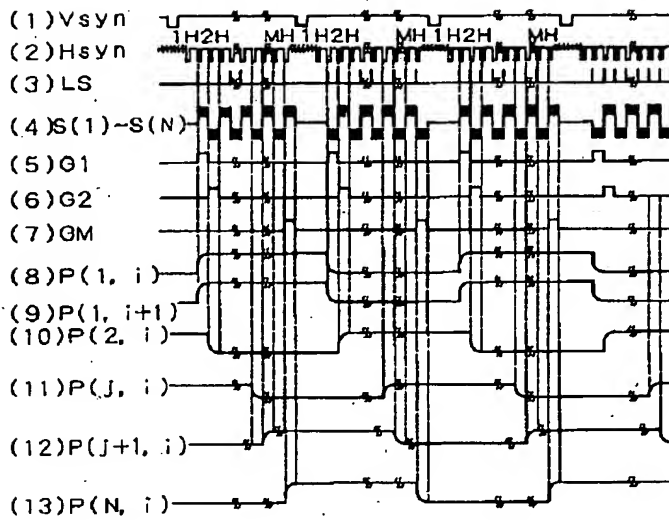
【図8】



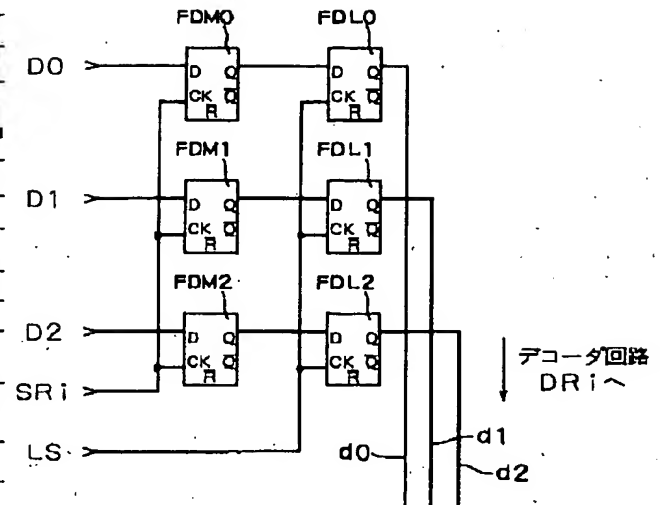
【図22】



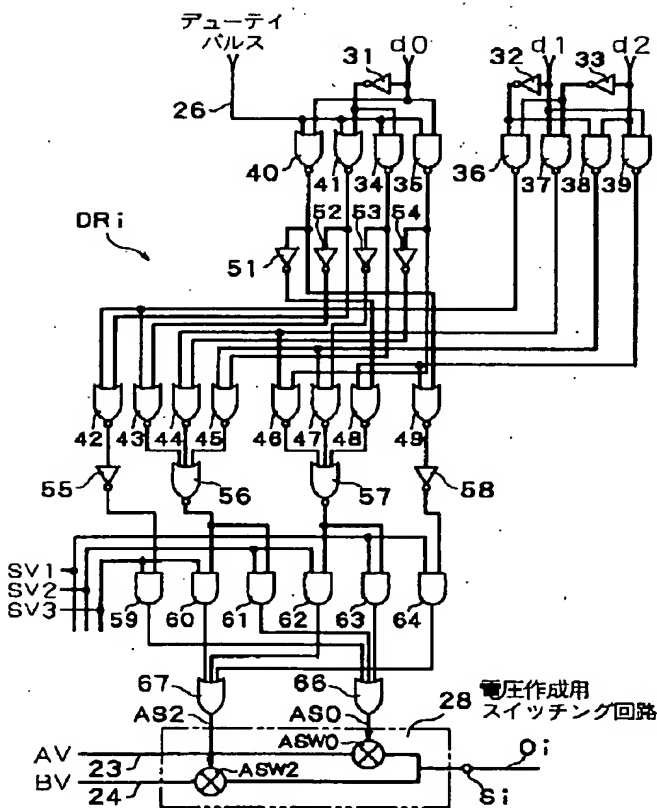
【図5】



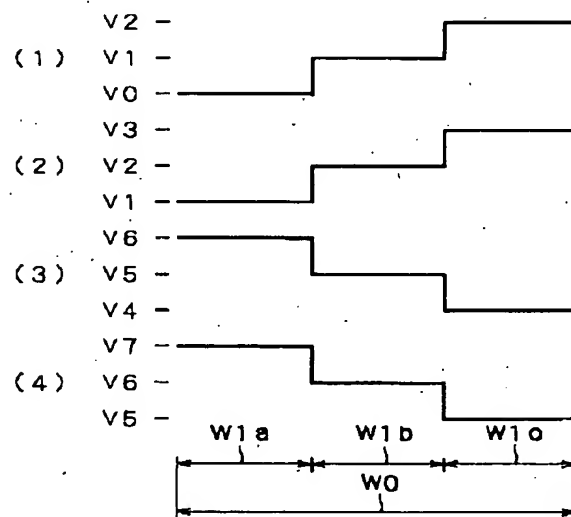
【図6】



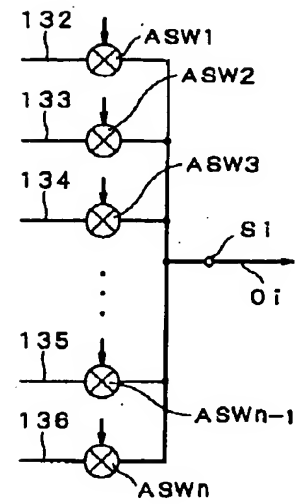
【図7】



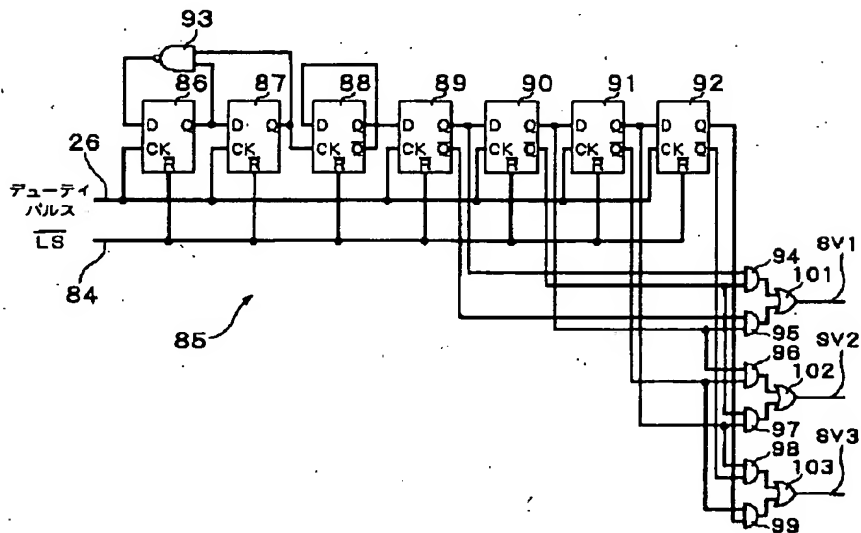
【図19】



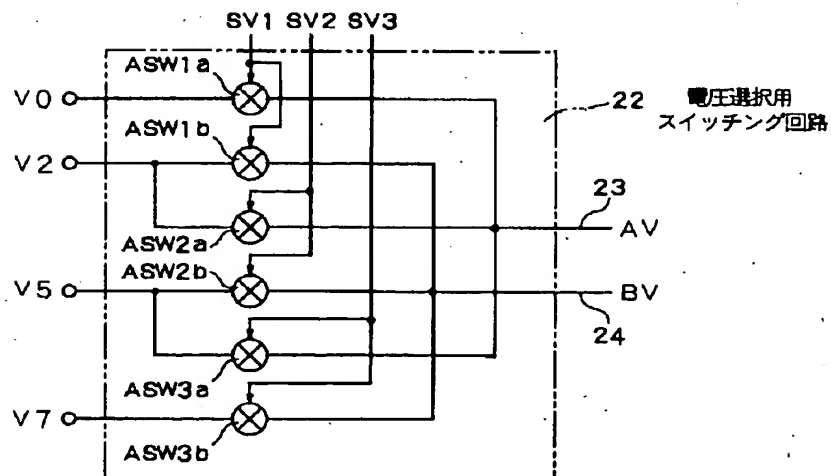
【図 24】



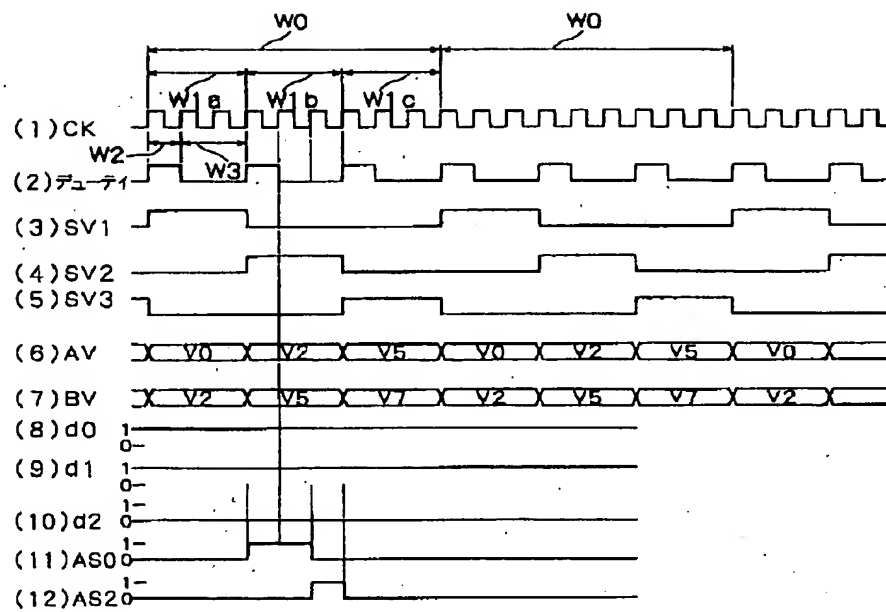
【図 10】



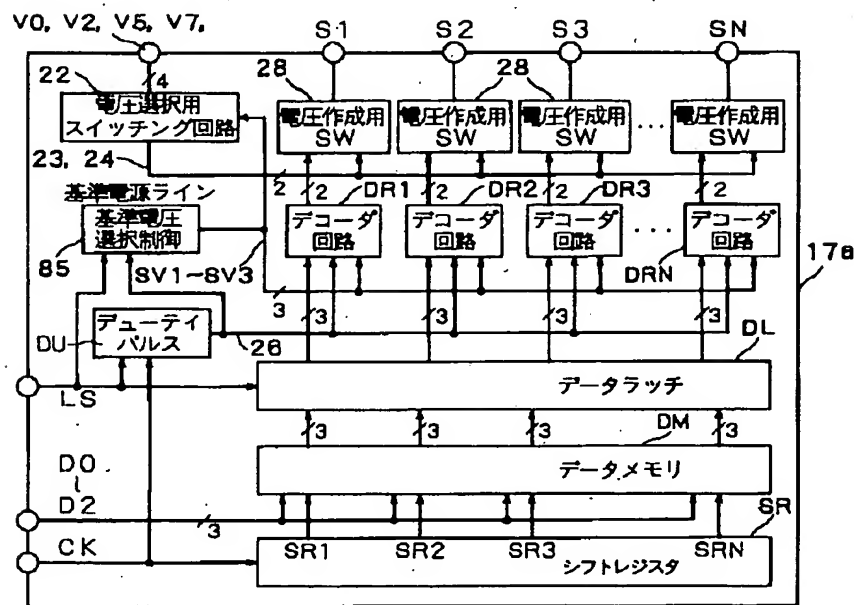
【图 1 1】



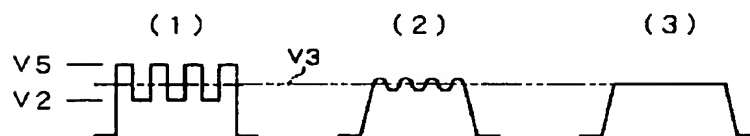
【図12】



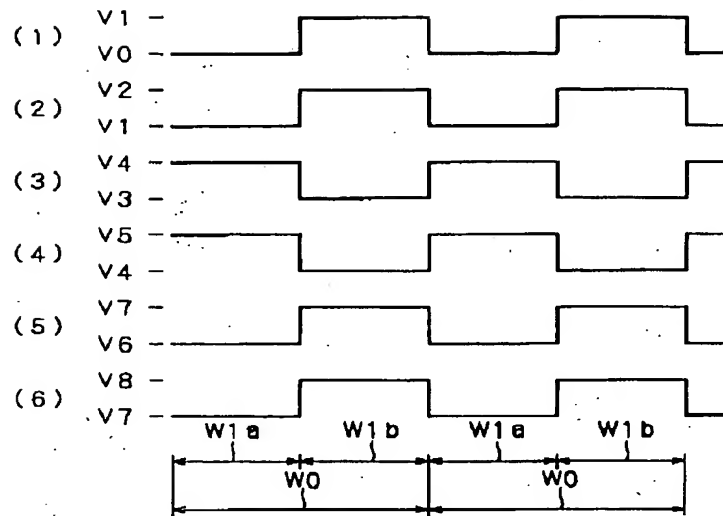
【図15】



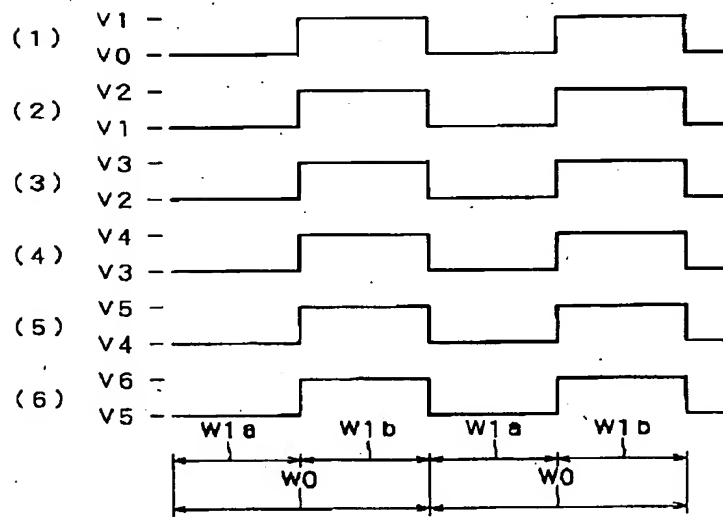
【図32】



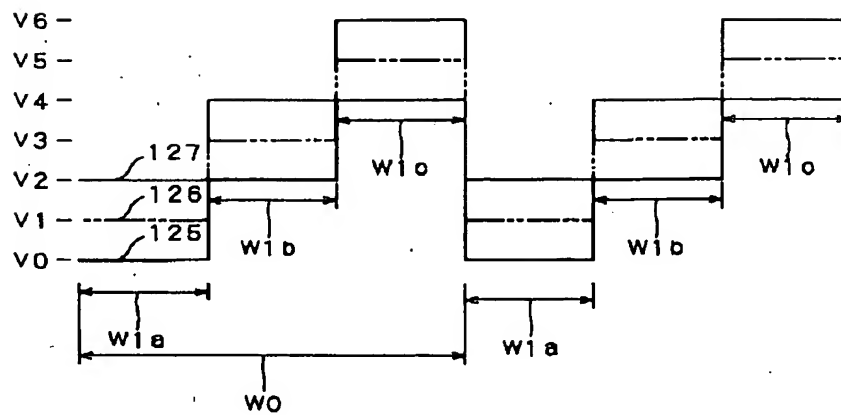
【図 17】



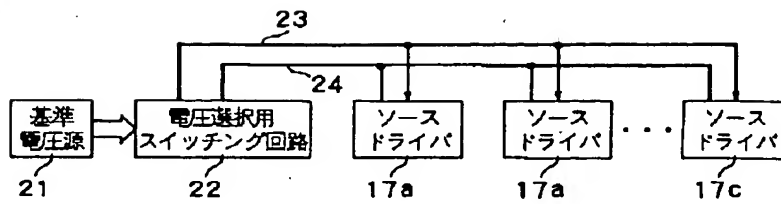
【図 21】



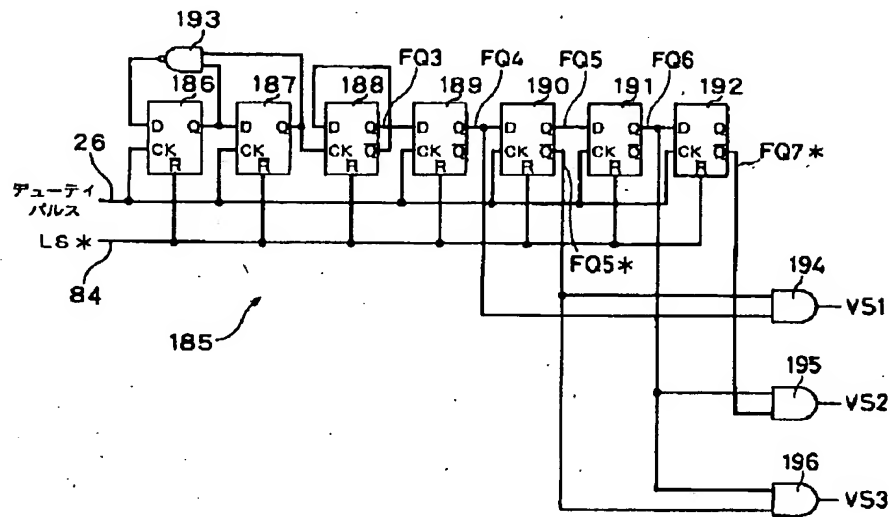
【図 23】



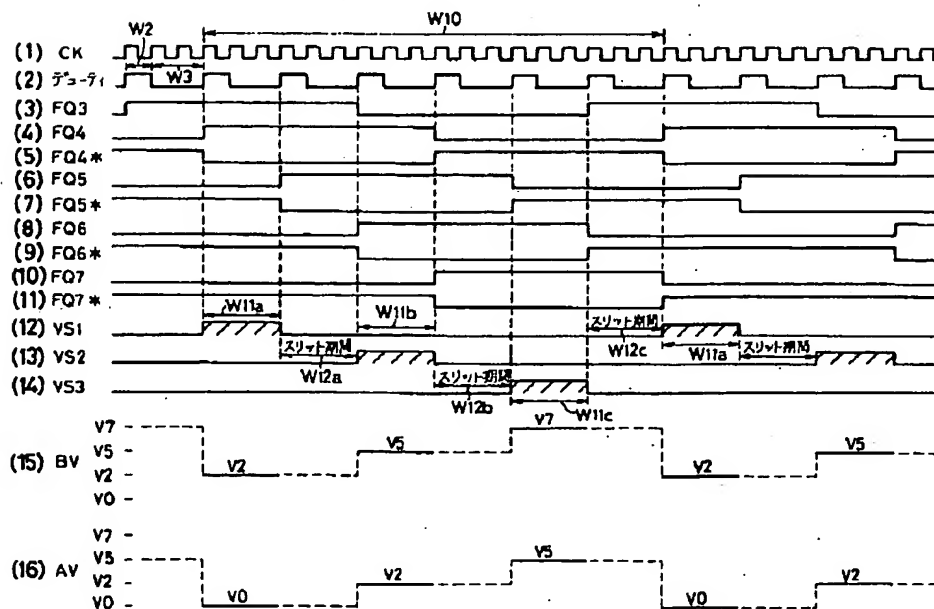
【図 25】



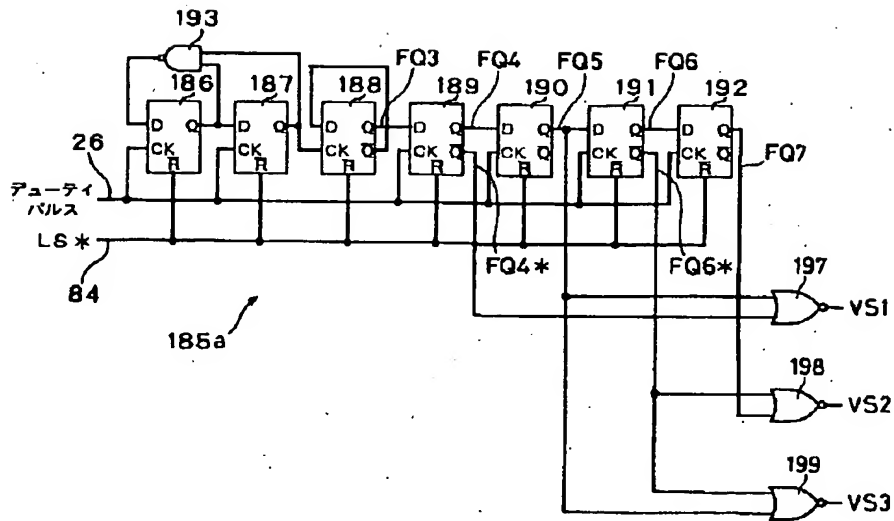
【図 26】



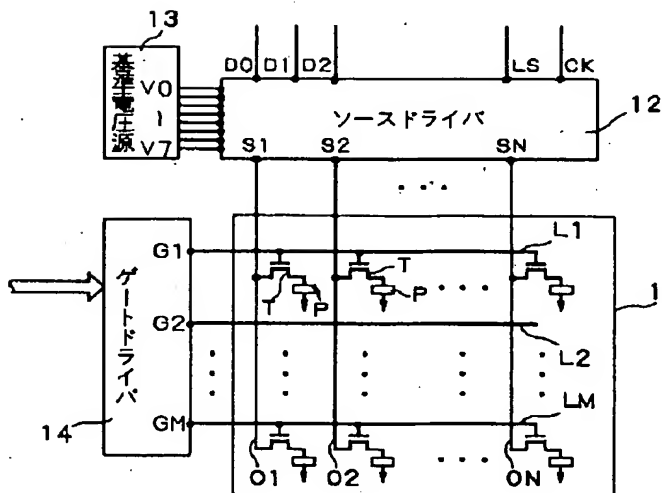
【図 27】



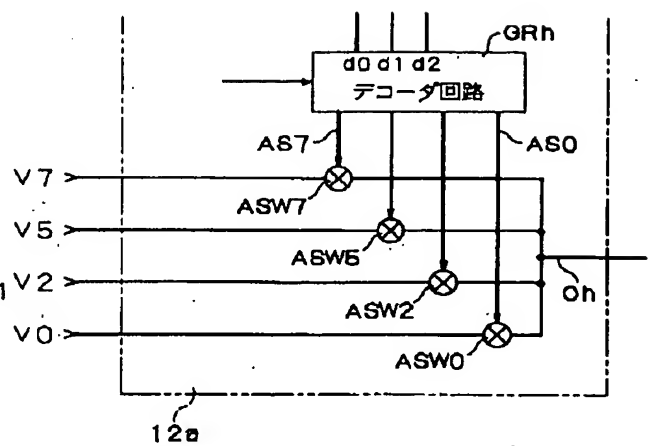
【図28】



【図29】



【図31】



【図30】

